

**RANCANG BANGUN SISTEM LOKER PENITIPAN BARANG  
BERBASIS MIKROKONTROLER ATMEGA8535**

**SKRIPSI**



**Disusun oleh :  
Irwan Prasetyo  
NIM. 0612226**

**JURUSAN TEKNIK ELEKTRO S-1  
KONSENTRASI TEKNIK ELEKTRONIKA  
FAKULTAS TEKNOLOGI INDUSTRI  
INSTITUT TEKNOLOGI NASIONAL MALANG  
2011**

---

## LEMBAR PERSETUJUAN

### RANCANG BANGUN SISTEM LOKER PENITIPAN BARANG BERBASIS MIKROKONTROLER ATMEGA8535

### SKRIPSI

Disusun dan diajukan untuk melengkapi dan memenuhi persyaratan guna mencapai  
gelar Sarjana Teknik Elektro Strata satu (S-1)

Disusun oleh :  
**Irwan Prasetyo**  
NIM. 0612226

Mengetahui,  
Ketua Jurusan Teknik Elektro S-1



**Ir. Yusuf Istmail Nakhoda, MT**  
Nip. Y. 1018800189

Diperiksa dan disetujui,  
Dosen pembimbing

**Dr. Eng. Arvianto Soetedjo, ST, MT**  
Nip. Y. 1030800417

**JURUSAN TEKNIK ELEKTRO S-1  
KONSENTRASI TEKNIK ELEKTRONIKA  
FAKULTAS TEKNOLOGI INDUSTRI  
INSTITUT TEKNOLOGI NASIONAL MALANG**

## ABSTRAK

### RANCANG BANGUN SISTEM LOKER PENITIPAN BARANG BERBASIS MIKROKONTROLER ATMEGA8535

Irwan Prasetyo, NIM 0612226

Dosen Pembimbing : Dr. Eng. Aryuanto Soetedjo, ST, MT

Sistem keamanan penitipan barang umumnya dilakukan menggunakan kartu identitas untuk melakukan transaksi penitipan dan pengambilan barang. Apabila kartu tersebut hilang atau ditemukan oleh pihak yang tidak bertanggung jawab maka akan merugikan pengguna jasa penitipan barang. Oleh karena itu dalam skripsi ini dibuat sistem penitipan barang berdasarkan sidik jari pemilik.

Sistem terdiri dari Personal Computer yang terhubung dengan mikrokontroller dalam setiap loker dalam jaringan multidrop RS-485. Mikrokontroler ATmega8535 digunakan sebagai control kerja dari system, data yang dikirim dari PC menuju mikrokontroler ATmega8535 disimpan di dalam EEPROM sebagai data referensi untuk menginterupsi rangkaian driver L298 yang menggerakkan selenoid. Pada *proses registrasi* peminjaman loker memiliki tingkat keberhasilan sistem dalam skripsi ini adalah 100%, sedangkan *proses penggunaan loker pertama* memiliki tingkat keberhasilan system adalah 89%, begitu juga *proses penggunaan loker ke-2* memiliki tingkat keberhasilan system adalah 89%.

**Kata kunci :** Loker, multidrop RS-485, fingerprint.

## KATA PENGANTAR

Dengan memanjatkan puji syukur atas kehadiran Allah SWT atas segala berkat dan rahmat-Nya sehingga dapat menyelesaikan skripsi yang berjudul “Rancang Bangun Sistem Loker Penitipan Barang Berbasis Mikrokontroler ATmega8535” dengan lancar. Pembuatan skripsi ini disusun untuk memenuhi syarat akhir kelulusan pendidikan jenjang Strata I di Institut Teknologi Nasional Malang.

Terima kasih yang mendalam penulis haturkan kepada kedua Orang tua yang telah berjasa membentuk kepribadian penulis, khususnya memberikan inspirasi yang kuat serta dukungan dan doa yang tiada henti. Terima kasih juga penulis sampaikan kepada :

1. Bapak Ir. Soeparno Djiwo, MT selaku rektor ITN Malang.
2. Bapak Ir. H. Sidik Noertjahjono, MT selaku Dekan Fakultas Teknologi Industri ITN Malang.
3. Bapak Ir. Yusuf Ismail Nakhoda, MT selaku Ketua Jurusan Teknik Elektro S-1 ITN Malang.
4. Bapak Dr. Eng. Aryuanto Soetedjo, ST, MT selaku Sekretaris Jurusan Teknik Elektro S-1 ITN Malang dan Dosen pembimbing.
5. Semua pihak yang telah membantu penulis dalam menyelesaikan skripsi ini yang tidak bisa penulis sebutkan satu persatu.

Penulis menyadari bahwa skripsi ini masih jauh dari sempurna, untuk itu kritik dan saran yang membangun dari pembaca sangat penulis harapkan untuk perbaikan penelitian ini.

Harapan penyusun semoga laporan ini memberikan manfaat bagi perkembangan ilmu pengetahuan dan pembaca.

Semoga Tuhan Yang Maha Esa selalu meridhoi dan memberi jalan yang terbaik bagi kita semua.

Malang, Juli 2011

penulis

## DAFTAR ISI

Lembar Persetujuan.....	i
Abstrak .....	ii
Kata Pengantar.....	iii
Daftar Isi.....	iv
Daftar Gambar.....	vi
Daftar Tabel .....	viii
<b>BAB I PENDAHULUAN</b>	
1.1.Latar Belakang.....	1
1.2.Rumusan Masalah.....	2
1.3.Tujuan Penelitian .....	2
1.4.Batasan Masalah .....	2
1.5.Metodologi .....	3
1.6.Sistematika Penulisan .....	3
<b>BAB II LANDASAN TEORI</b>	
2.1.Latar Belakang .....	5
2.2.Mikrokontroler ATmega8535 .....	5
2.2.1. Konstruksi ATmega8535 .....	6
2.2.2. Pin-pin pada Mikrokontroler ATmega8535 .....	8
2.3.Protokol Modbus .....	12
2.4.Komunikasi Serial. ....	15
2.5. MAX 232 .....	18
2.6.SN75176 .....	19
2.7.Driver Motor L298 .....	22
2.7.1. Konstruksi ATmega8535 .....	22
2.8.Solenoid. ....	24
2.9.Fingerprind (Mesin Sidik Jari) .....	25
<b>BAB III PERANCANGAN DAN PEMBUATAN ALAT</b>	
3.1. Pendahuluan.....	28
3.2. Perancangan dan Perealisasian Alat .....	28
3.3. Perancangan Perangkat Keras (Hardware).....	30
3.3.1. Perancangan Minimum Sytem ATmega8535 .....	30

3.3.2. Perancangan Antarmuka RS-485.....	32
3.3.3. Perancangan Driver L298.....	34
3.4. Perancangan Protokol Data.....	35
3.5. Perencanaan Perangkat Lunak (Software).....	35

## BAB IV PENGUJIAN ALAT

4.1. Tujuan.....	38
4.2. Pengujian <i>Minimum System ATmega8535</i> .....	38
4.2.1. Tujuan .....	38
4.2.2. Peralatan Yang Digunakan .....	39
4.2.3. Langkah – Langkah Pengujian .....	39
4.2.4. Hasil Pengujian .....	39
4.3. Pengujian Rangkaian <i>Driver L298</i> .....	44
4.3.1. Tujuan .....	44
4.3.2. Rangkaian Pengujian <i>Driver L298</i> .....	45
4.3.3. Peralatan Yang Diperlukan.....	45
4.3.4. Langkah-Langkah Pengujian Rangkaian <i>Driver Motor</i> .....	45
4.3.5. Hasil Pengujian Rangkaian <i>Driver L298</i> .....	45
4.4. Pengujian Jalur Komunikasi Serial.....	46
4.4.1. Tujuan .....	46
4.4.2. Peralatan yang Dibutuhkan.....	46
4.4.3. Langkah-Langkah Pengujian Rangkaian Konverter RS-232 to RS-485 .....	47
4.5. Pengujian Seluruh System .....	49
4.5.1. Peralatan yang Dibutuhkan .....	50
4.5.2. Langkah yang dilakukan adalah sebagai berikut.....	50
4.6. Hasil dan Analisa .....	54

## BAB V PENUTUP

5.1. Kesimpulan.....	56
5.2. Saran .....	56

## DAFTAR GAMBAR

Gambar 2.1 Diagram blok mikrokontroler ATmega8535 .....	8
Gambar 2.2 Konfigurasi pin-pin ATmega8535.....	8
Gambar 2.3 Skema memanggil- menjawab pada protokol modbus RTU.....	14
Gambar 2.4 Bingkai Prosedur Data pada Protokol Modbus RTU .....	14
Gambar 2.5 Transfer data antara DTE dengan DTE .....	17
Gambar 2.6 Hubungan pin pada komunikasi serial .....	18
Gambar 2.7 Pin Konfigurasi Max232 .....	19
Gambar 2.8 Blok Diagram Max232 .....	19
Gambar 2.9 IC SN75176 .....	20
Gambar 2.10 Diagram Komunikasi Data Master dan 32 Slave .....	20
Gambar 2.11 Rangkaian H-Bridge pada L298 .....	23
Gambar 2.12 Bentuk fisik L298 .....	23
Gambar 2.13 Selenoid .....	24
Gambar 2.14 Struktur dalam solenoid .....	25
Gambar 2.15 Klasifikasi sidik jari .....	26
Gambar 2.16 Kontur kulit jari .....	26
 Gambar 3.1 Diagram Blok Sistem.....	 29
Gambar 3.2 Alokasi Penggunaan Port Mikrokontroler ATmega8535 .....	31
Gambar 3.3 Perancangan minimum system ATmega8535 .....	32
Gambar 3.4 Rangkaian Converter RS-232 to RS-485 .....	32
Gambar 3.5 Rangkaian Driver L298 .....	34
Gambar 3.6 <i>Flowchart</i> Sistem .....	37
 Gambar 4.1. Rangkaian Pengujian <i>Minimum System</i> ATmega8535 .....	 39
Gambar 4.2. Tegangan Keluaran <i>Mikrokontroller Port A</i> Kondisi <i>High</i> .....	41
Gambar 4.3. Tegangan Keluaran <i>Mikrokontroller Port A</i> Kondisi <i>Low</i> .....	41
Gambar 4.4 Rangkaian <i>Minimum System</i> ATmega8535 .....	42
Gambar 4.5 Pengujian Rangkaian Driver L298 .....	45
Gambar 4.6 Alokasi Mikrokontroler .....	47
Gambar 4.7 Converter RS-232 to RS-485 .....	47

Gambar 4.8 Form pengujian komunikasi serial RS-485 .....	48
Gambar 4.9 Sinyal output dengan level RS-485 .....	49
Gambar 4.10 Form Administrator .....	51
Gambar 4.11 Proses Registrasi Peminjaman Loker .....	51
Gambar 4.12 Proses Penggunaan Loker .....	52
Gambar 4.13 Loker Penitipan .....	52
Gambar 4.14 Rangkaian Modul Keseluruhan .....	54
Gambar 4.15 Rangkaian Converter Rs-232 To Rs-485 .....	54
Gambar 4.16 Fingerprind (mesin sidik jari) .....	55
Gambar 4.17 Loker Penitipan Barang .....	55



## DAFTAR TABEL

Tabel 2.1 Fungsi Khusus Port B Pin Fungsi Khusus.....	9
Tabel 2.2 Fungsi Khusus Port C Pin Fungsi khusus.....	10
Tabel 2.3 Fungsi Khusus Port D Pin Fungsi khusus .....	10
Tabel 2.4 Deskripsi Pin DB-9 (male) dan Fungsinya.....	16
Tabel 2.5 Pengiriman data ( <i>transmitting</i> ).....	21
Tabel 2.6 Penerimaan data ( <i>receiving</i> ) .....	21
Tabel 3.1 Sistem Protocol Data .....	35
Tabel 4.1. Hasil Pengujian Pada <i>Port A</i> .....	40
Tabel 4.2. Hasil Pengujian Pada <i>Port D</i> .....	42
Tabel 4.3. Hasil Pengujian Pada <i>Port A</i> .....	43
Tabel 4.4. Hasil Pengujian Pada <i>Port D</i> .....	43
Tabel 4.5. Hasil Pengujian Pada <i>Port A</i> .....	44
Tabel 4.6. Hasil Pengujian Pada <i>Port D</i> .....	44
Tabel 4.7. Hasil Pengujian Pada Rangkaian <i>Driver L298</i> .....	45
Table 4.8. Keterangan protokol komunikasi .....	48
Tabel 4.9. Pengujian Komunikasi serial .....	49
Table 4.10. Pengujian Tingkat Keberhasilan .....	53

# BAB I

## PENDAHULUAN

### 1.1. Latar Belakang

Dalam kehidupan sekarang banyak orang yang memiliki barang berharga dan tidak ingin orang lain tahu akan kepemilikan barang berharga tersebut serta sekarang sering terjadi tindak kejahatan seperti perampokan atau pencurian. Maka apabila terdapat jasa penitipan barang yang pribadi akan sangat bermanfaat. Dengan adanya teknologi baru yang diciptakan manusia lebih termanjakan akan berbagai kemudahan dari fasilitas yang diberikan. Sebagai salah satu teknologi yang berkembang ialah teknologi di bidang pengamanan.

Sistem pengamanan penitipan barang yang banyak dijumpai hanya digunakan ID card untuk mengambil barang titipan dimana jika kartu pengenalan disalahgunakan oleh pihak lain maka akan merugikan konsumen jasa penitipan barang.

Hal ini menimbulkan gagasan untuk menjadikan keunikan manusia sebagai identitas diri. Pada dasarnya pada diri setiap manusia memiliki sesuatu yang unik/khas yang hanya dimiliki oleh dirinya sendiri.

Dalam skripsi ini dilakukan rancang bangun sistem penyimpanan dan pengambilan barang titipan menggunakan kesesuaian pola sidik jari. Melalui sistem komunikasi multidrop menggunakan fungsi dasar protokol Modbus dan komunikasi serial RS-485 matrik fitur ciri pola sidik jari disimpan di EEPROM ATMEGA 8535 pada saat proses penyimpanan barang dan diverifikasi ulang pada saat proses pengambilan barang. Proses verifikasi kesesuaian pola sidik jari pada skripsi ini dilakukan dengan melakukan uji hipotesis satu sisi, dimana data input dibandingkan dengan data referensi.

Sistem penitipan dan penyimpanan barang titipan terdiri dari dua bagian *software* dan *hardware*. Perangkat lunak berisi program untuk mengatur mikrokontroler dalam proses pengiriman data, verifikasi pengolahan sidik jari, verifikasi nama dan pengendalian sistem penguncian loker penyimpanan barang. *Hardware* terdiri dari loker penyimpanan barang, sistem mekanis penguncian loker, minimum sistem mikrokontroler ATMEGA 8535, rangkaian *multidrop* RS-485 dan *driver* motor DC.

## 1.2. Rumusan Masalah

- Bagaimana membangun sistem pengaman penitipan barang dengan identifikasi pengolahan pola sidik jari.
- Bagaimana mengimplementasikan mikrokontroler ATmega8535 sebagai sistem pengenalan hasil pola sidik jari.
- Bagaimana Mengaplikasikan sistem komunikasi multidrop RS-485 dan fungsi dasar protokol Modbus sebagai jaringan komunikasi antara personal computer dengan mikrokontroler pada tiap loker penyimpanan barang.

## 1.3. Tujuan Penelitian

Tujuan dari penulisan skripsi ini adalah :

- Meningkatkan mutu sistem keamanan penitipan barang yang telah ada dengan menambahkan sidik jari sebagai faktor pengaman.
- Meningkatkan rasa aman dan nyaman bagi konsumen jasa penitipan barang.
- Meningkatkan efisiensi biaya dan waktu dalam sistem pengamanan barang.

## 1.4. Batasan Masalah

Dengan mengacu pada permasalahan yang telah dirumuskan, maka hal-hal yang berkaitan dengan masalah tersebut dibatasi sebagai berikut :

1. Jumlah loker penyimpanan barang yang akan dibuat tiga buah dengan identitas pemilik yang berbeda pada tiap laci.
  2. Proses pengambilan informasi dan pengolahan sidik jari dikerjakan menggunakan *Personal Computer (software)*.
  3. Akuisisi data citra sidik jari langsung dilakukan oleh alat pemindai, sistem hanya melakukan pengolahan hasil ekstraksi ciri dari data citra yang diperoleh.
  4. Mikrokontroler yang digunakan adalah ATmega8535 sebagai sistem akuisisi data dan antarmuka sistem ke dalam komputer.
  5. Komunikasi serial antara mikrokontroler dengan komputer atau sebaliknya dengan menggunakan protokol RS- 485.
  6. Tidak membahas tentang mekanik dan penempatan rangkaian yang digunakan.
  7. Tidak membahas catu daya yang digunakan.
-

### 1.5. Metodologi

Metode yang digunakan dalam pembahasan skripsi ini adalah:

#### 1. Studi *literature*

Studi literatur ini bertujuan untuk memperoleh teori-teori penunjang yang melandasi pemecahan masalah dilapangan, baik itu bersumber dari buku, web site, ataupun jurnal ilmiah.

#### 2. Perancangan Alat

Sebelum melaksanakan pembuatan terhadap alat, dilakukan perancangan terhadap alat yang meliputi merancang rangkaian keseluruhan alat, serta perancangan terhadap *software*.

#### 3. Pembuatan Alat.

Pada tahap ini realisasi alat yang dibuat, dilakukan perakitan sistem terhadap seluruh hasil rancangan yang telah dibuat.

#### 4. Pengujian Alat

Untuk mengetahui cara kerja alat, maka dilakukan pengujian secara keseluruhan.

#### 5. Pengolahan Data

Mengolah data dan menganalisa hasil pengujian alat untuk membuat kesimpulan.

### 1.6. Sistematika Penulisan

Untuk mendapatkan arah yang tepat mengenai hal-hal yang akan dibahas maka dalam skripsi ini disusun sebagai berikut :

#### **BAB I : PENDAHULUAN**

Dalam Bab ini berisikan Latar Belakang, Rumusan Masalah, Tujuan, Batasan Masalah, Metodologi Penelitian, dan Sistematika Penulisan yang digunakan dalam pembuatan tugas akhir ini.

#### **BAB II : LANDASAN TEORI**

Pada Bab ini dibahas tentang teori-teori yang mendukung dalam perencanaan dan pembuatan alat ini.

#### **BAB III : PERENCANAAN SISTEM**

Dalam Bab ini akan dibahas mengenai perencanaan dan pembuatan skripsi yang meliputi seluruh sistem ini baik perangkat keras maupun perangkat lunak sistem.

#### **BAB IV : PENGUJIAN ALAT**

Membahas pengujian peralatan secara keseluruhan dan analisa hasil pengujian.

#### **BAB V : PENUTUP**

Dalam Bab ini berisi kesimpulan-kesimpulan yang diperoleh dari perencanaan dan pembuatan tugas akhir ini serta saran-saran guna menyempurnakan dan mengembangkan sistem lebih lanjut.

---



## BAB II

### LANDASAN TEORI

#### 2.1 Latar Belakang

Untuk dapat memahami alat yang akan dirancang, maka dalam bab ini akan dijelaskan mengenai teori dasar yang akan berkaitan dengan system yang digunakan pada perancangan dan pembuatan alat.

#### 2.2 Mikrokontroler ATmega8535

Mikrokontroler adalah IC yang dapat diprogram berulang kali, baik ditulis atau dihapus. Biasanya digunakan untuk pengontrolan otomatis dan manual pada perangkat elektronika.

Beberapa tahun terakhir, mikrokontroler sangat banyak digunakan terutama dalam pengontrolan robot. Seiring perkembangan elektronika, mikrokontroler dibuat semakin kompak dengan bahasa pemrograman yang juga ikut berubah. Salah satunya adalah mikrokontroler AVR(*Alf and Vegard's Risc processor*) ATmega8535 yang menggunakan teknologi RISC(*Reduce Instruction Set Computing*) dimana program berjalan lebih cepat karena hanya membutuhkan satu *siklus clock* untuk mengeksekusi satu instruksi program. Secara umum, AVR dapat dikelompokkan menjadi 4 kelas, yaitu kelas ATtiny, keluarga AT90Sxx, keluarga ATmega, dan AT86RFxx. Pada dasarnya yang membedakan masing-masing kelas adalah memori, peripheral, dan fungsinya. Dari segi arsitektur dan instruksi yang digunakan, mereka bisa dikatakan hampir sama.

Mikrokontroler AVR ATmega8535 memiliki fitur yang cukup lengkap. Mikrokontroler AVR ATmega8535 telah dilengkapi dengan *ADC internal*, *EEPROM internal*, *Timer/Counter*, *PWM*, *analog comparator*, dll. Sehingga dengan fasilitas yang lengkap ini memungkinkan kita belajar mikrokontroler keluarga AVR dengan lebih mudah dan efisien, serta dapat mengembangkan kreativitas penggunaan mikrokontroler ATmega8535.

Fitur-fitur yang dimiliki oleh mikrokontroler ATmega8535 adalah sebagai berikut:



1. Saluran I/O sebanyak 32 buah, yaitu port A, port B, port C, dan port D.
2. ADC internal sebanyak 8 saluran.
3. Tiga buah Timer/Counter dengan kemampuan perbandingan.
4. CPU yang terdiri atas 32 buah register.
5. SRAM sebesar 512 byte.
6. Memori flash sebesar 8 kb dengan kemampuan Read While Write.
7. Port antarmuka SPI
8. EEPROM sebesar 512 byte yang dapat diprogram saat operasi.
9. Antarmuka komparator analog.
10. Port USART untuk komunikasi serial.
11. Sistem mikroprosesor 8 bit berbasis RISC dengan kecepatan maksimal 16 MHz.
12. Dan lain-lainnya.

### 2.2.1 Konstruksi ATmega8535

Mikrokontroler ATmega8535 memiliki 3 jenis memori, yaitu memori program, memori data dan memori EEPROM. Ketiganya memiliki ruang sendiri dan terpisah.

- a) Memori program ATmega8535 memiliki kapasitas memori program sebesar 8 Kbyte yang terpetakan dari alamat 0000h – 0FFFh dimana masing-masing alamat memiliki lebar data 16 bit. Memori program ini terbagi menjadi 2 bagian yaitu bagian program *boot* dan bagian program aplikasi.
  - b) Memori data ATmega8535 memiliki kapasitas memori data sebesar 608 byte yang terbagi menjadi 3 bagian yaitu register serba guna, register I/O dan SRAM. ATmega8535 memiliki 32 byte register serba guna, 64 byte register I/O yang dapat diakses sebagai bagian dari memori RAM (menggunakan instruksi LD atau ST) atau dapat juga diakses sebagai I/O (menggunakan instruksi IN atau OUT), dan 512 byte digunakan untuk memori data SRAM.
  - c) Memori EEPROM ATmega8535 memiliki memori EEPROM sebesar 512 byte yang terpisah dari memori program maupun memori data. Memori EEPROM ini hanya dapat diakses dengan menggunakan register-register I/O yaitu register EEPROM *Address*, register EEPROM *Data*, dan register EEPROM *Control*. Untuk mengakses memori EEPROM ini diperlakukan seperti mengakses data eksternal, sehingga waktu eksekusinya relatif lebih lama bila dibandingkan dengan mengakses data dari SRAM.
-



ATmega8535 merupakan tipe AVR yang telah dilengkapi dengan 8 saluran ADC internal dengan fidelitas 10 bit. Dalam mode operasinya, ADC ATmega8535 dapat dikonfigurasi, baik secara *single ended input* maupun *differential input*. Selain itu, ADC ATmega8535 memiliki konfigurasi pewaktuan, tegangan referensi, mode operasi, dan kemampuan filter derau yang amat fleksibel, sehingga dengan mudah disesuaikan dengan kebutuhan ADC itu sendiri.

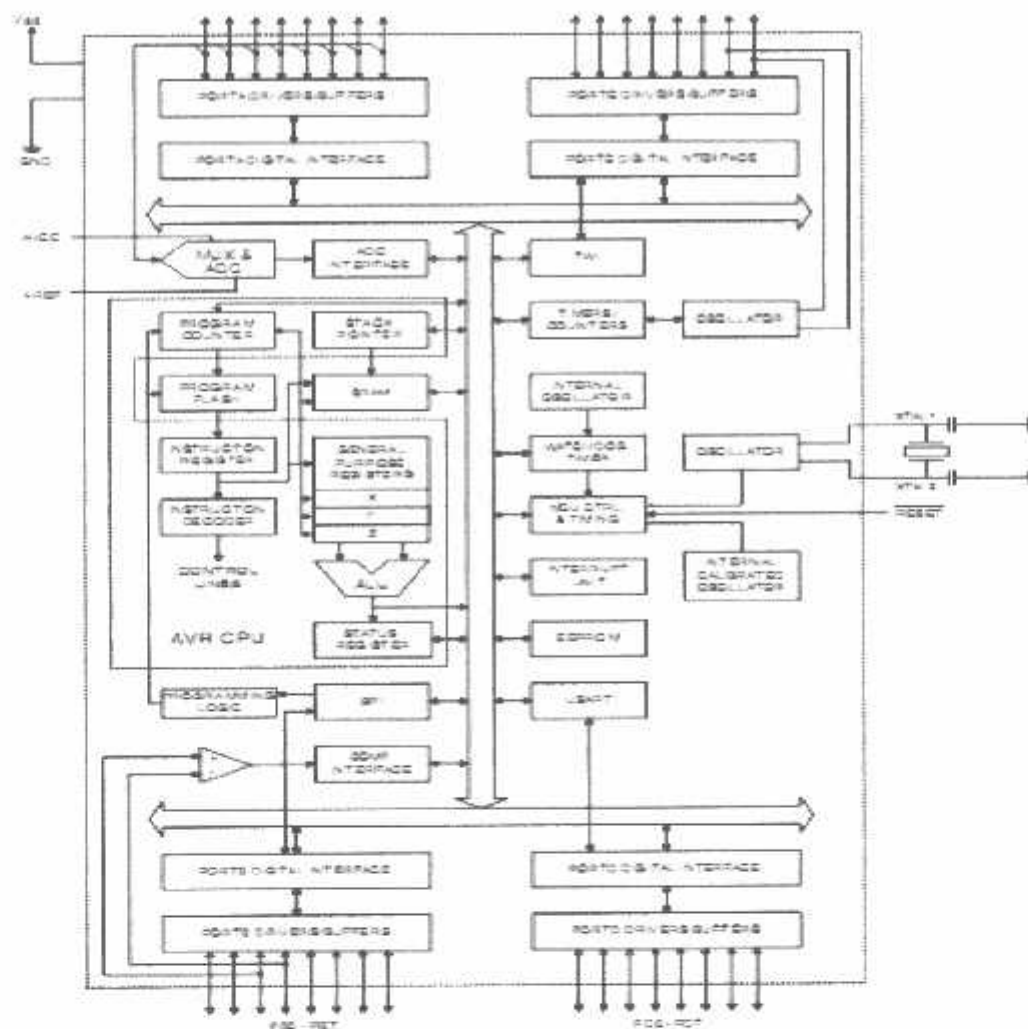
ATmega8535 memiliki 3 modul timer yang terdiri dari 2 buah timer/counter 8 bit dan 1 buah timer/counter 16 bit. Ketiga modul timer/counter ini dapat diatur dalam mode yang berbeda secara individu dan tidak saling mempengaruhi satu sama lain. Selain itu, semua timer/counter juga dapat difungsikan sebagai sumber interupsi. Masing-masing timer/counter ini memiliki register tertentu yang digunakan untuk mengatur mode dan cara kerjanya.

*Serial Peripheral Interface (SPI)* merupakan salah satu mode komunikasi serial *synchronous* kecepatan tinggi yang dimiliki oleh ATmega8535. *Universal Synchronous and Asynchronous Serial Receiver and Transmitter (USART)* juga merupakan salah satu mode komunikasi serial yang dimiliki oleh ATmega8535. USART merupakan komunikasi yang memiliki fleksibilitas tinggi, yang dapat digunakan untuk melakukan transfer data baik antar mikrokontroler maupun dengan modul-modul eksternal termasuk PC yang memiliki fitur UART.

USART memungkinkan transmisi data baik secara *synchronous* maupun *asynchronous*, sehingga dengan memiliki USART pasti kompatibel dengan UART. Pada ATmega8535, secara umum pengaturan mode *synchronous* maupun *asynchronous* adalah sama. Perbedaannya hanyalah terletak pada sumber clock saja.

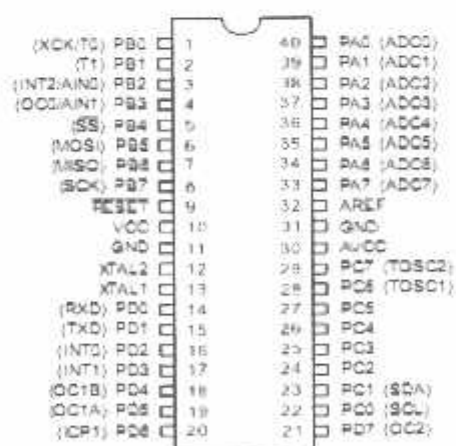
Jika pada mode *asynchronous* masing-masing peripheral memiliki sumber clock sendiri, maka pada mode *synchronous* hanya ada satu sumber clock yang digunakan secara bersama-sama. Dengan demikian, secara hardware untuk mode *asynchronous* hanya membutuhkan 2 pin yaitu TXD dan RXD, sedangkan untuk mode *synchronous* harus 3 pin yaitu TXD, RXD dan XCK.

Dengan keistimewaan di atas pembuatan alat menggunakan ATmega8535 menjadi lebih sederhana dan tidak memerlukan IC pendukung yang banyak. Adapun blok diagram dari mikrokontroler ATmega8535 adalah sebagai berikut :



Gambar 2.1 Diagram blok mikrokontroler ATmega8535

## 2.2.2 Pin-pin pada Mikrokontroler ATmega8535



Gambar 2.2 konfigurasi pin-pin ATmega8535

Konfigurasi *pin* ATmega8535 dengan kemasan 40 *pin* DIP (*Dual Inline Package*) dapat dilihat pada gambar 2.2. Dari gambar di atas dapat dijelaskan fungsi dari masing-masing *pin* Atmega8535 sebagai berikut:

1. VCC merupakan *pin* yang berfungsi sebagai masukan catu daya.
2. GND merukan *pin* *Ground* .
3. *Port* A (*Port*A0...*Port*A7) merupakan *pin* *input/output* dua arah dan *pin* masukan ADC.
4. *Port* B (*Port*B0...*Port*B 7) merupakan *pin* *input/output* dua arah dan dan *pin* fungsi khusus, seperti dapat dilihat pada tabel di bawah ini.

**Tabel 2.1 Fungsi Khusus Port B Pin Fungsi Khusus**

Pin	Fungsi Khusus
PB7	SCK (SPI Bus Serial Clock)
PB6	MISO (SPI Bus Master Input/ Slave Output)
PB5	MOSI (SPI Bus Master Output/ Slave Input)
PB4	SS (SPI Slave Select Input)
PB3	AIN1 (Analog Comparator Negative Input) OC0 (Timer/Counter0 Output Compare Match Output)
PB2	AIN0 (Analog Comparator Positive Input) INT2 (External Interrupt 2 Input)
PB1	T1 (Timer/ Counter1 External Counter Input)
PB0	T0 T1 (Timer/Counter External Counter Input) XCK (USART External Clock Input/Output)

5. *Port* C (*Port*C0...*Port*C7) merupakan *pin* *input/output* dua arah dan *pin* fungsi khusus, seperti dapat dilihat pada tabel dibawah ini.

Tabel 2.2 Fungsi Khusus Port C Pin Fungsi khusus

Pin	Fungsi khusus
PC7	TOSC2 ( <i>Timer Oscillator Pin2</i> )
PC6	TOSC1 ( <i>Timer Oscillator Pin1</i> )
PC5	<i>Input/Output</i>
PC4	<i>Input/Output</i>
PC3	<i>Input/Output</i>
PC2	<i>Input/Output</i>
PC1	SDA ( <i>Two-wire Serial Buas Data Input/Output Line</i> )
PC0	SCL ( <i>Two-wire Serial Buas Clock Line</i> )

6. Port D (PortD0...PortD7) merupakan pin input/output dua arah dan pin fungsi khusus, seperti yang terlihat pada tabel dibawah ini.
- 7.

Tabel 2.3 Fungsi Khusus Port D Pin Fungsi khusus

Pin	Fungsi khusus
PD7	OC2 ( <i>Timer/Counter Output Compare Match Output</i> )
PD6	ICP ( <i>Timer/Counter Input Capture Pin</i> )
PD5	OC1A ( <i>Timer/Counter Output Compare A Match Output</i> )
PD4	OC1B ( <i>Timer/Counter Output Compare B Match Output</i> )
PD3	INT1 ( <i>External Interrupt 1 Input</i> )
PD2	INT0 ( <i>External Interrupt 0 Input</i> )
PD1	TXD ( <i>USART Output Pin</i> )
PD0	RXD ( <i>USART Input Pin</i> )

8. RESET merupakan pin yang digunakan untuk me-reset mikrokontroler.
9. XTAL1 dan XTAL2 merupakan pin masukan clock eksternal.
10. AVCC merupakan pin masukan tegangan untuk ADC.
11. AREFF merupakan pin masukan tegangan referensi ADC.
-

selama 3.5 karakter dalam *baud rate* komunikasi yang sudah ditentukan sebelumnya. Nilai dalam *Station Number*, *Function Code*, dan *Data* yang sudah dijelaskan sebelumnya harus dideklarasikan dalam nilai biner atau hexadesimal-nya. Untuk *Error Check* disini menggunakan algoritma *Cyclic Redundancy Check* (CRC) tipe 16 bit / 2 Char.

## 2.4 Komunikasi Serial

Komunikasi serial ada 2 macam, yaitu komunikasi sinkron dan asinkron. Komunikasi sinkron dilakukan dengan menambahkan sinyal sinkronisasi. Komunikasi asinkron dilakukan dengan menetapkan kecepatan bit (*baud rate*) dan menyisipkan beberapa bit protokol, yaitu bit start, *parity* dan bit stop.

Komunikasi data serial sangat berbeda dengan format pemindahan data paralel. Pengiriman bit-bit tidak dilakukan sekaligus melalui saluran paralel, tetapi setiap bit dikirimkan satu persatu melalui saluran tunggal. Dalam pengiriman data secara serial harus ada sinkronisasi atau penyesuaian antara pengirim dan penerima agar data yang dikirimkan dapat diterima dengan tepat dan benar oleh penerima. Salah satu mode transmisi dalam komunikasi serial adalah mode asynchronous. Transmisi serial mode ini digunakan apabila pengiriman data dilakukan satu karakter tiap pengiriman. Antara satu karakter dengan yang lainnya tidak ada waktu antara yang tetap. Karakter dapat dikirimkan sekaligus ataupun beberapa karakter kemudian berhenti untuk waktu yang tidak tentu, kemudian dikirimkan sisanya. Dengan demikian bit-bit data ini dikirimkan dengan periode yang acak sehingga pada sisi penerima data akan diterima kapan saja. Adapun sinkronisasi yang terjadi pada mode transmisi ini adalah dengan memberikan bit-bit penanda awal dari data dan penanda akhir dari data pada sisi pengirim maupun dari sisi penerima.

Komunikasi serial banyak sekali digunakan dalam interface PC namun serial yang biasa dipakai adalah RS-232 yang hanya dapat berhubungan secara one to one. Dalam paper ini dirancang suatu Converter dari RS-232 to RS-485 dimana sistem RS-485 sebagai suatu standar komunikasi serial yang mempunyai kemampuan untuk *multidrop network* yaitu sistem dimana sistem ini dapat berhubungan secara *one to many*. Hasil akhir adalah suatu solusi untuk mengatasi keterbatasan komputer dengan terminal RS-232 yang hanya mampu membentuk jaringan one to one, menjadi mampu untuk dikembangkan ke sistem jaringan one to many dengan menggunakan kabel RS-

485 dengan tetap menggunakan terminal RS-232 tanpa harus mengganti terminal RS-232 menjadi terminal RS-485.

Proses transfer secara serial dengan menggunakan EIA RS 232 antara 2 buah terminal biasanya memerlukan sebuah DTE (*Data Terminal Equipment*) untuk masing-masing terminal, kadang diperlukan seperangkat peralatan untuk kebutuhan komunikasi yang lebih kompleks misalnya dengan memanfaatkan modem. Perangkat tersebut sering disebut dengan DCE (*Data Communication Equipment*).

Pada prinsipnya proses transfer data dengan menggunakan sebuah serial interface ini sangat sederhana. Data yang ditransfer dari satu terminal akan diterima oleh terminal lainnya, dan demikian juga sebaliknya melalui seperangkat peralatan diatas. Tabel berikut menjelaskan deskripsi pin out untuk DB-9 dan fungsi masing-masing pin.

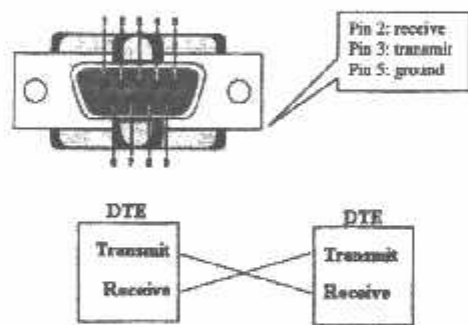
**Tabel 2.4 Deskripsi Pin DB-9 (male) dan Fungsinya**

Pin	Singkatan	Keterangan	Fungsi
3	TD	Transmit Data	Untuk pengiriman data serial (TXD)
2	RD	Receive Data	Untuk penerimaan data serial (RXD)
7	RTS	Request to Send	Sinyal untuk menginformasikan modem bahwa UART siap melakukan pertukaran data
8	CTS	Clear to Send	Digunakan untuk memberitahukan bahwa modem siap untuk melakukan hubungan komunikasi
6	DSR	Data set Ready	Memberitahukan UART bahwa modem siap melakukan hubungan komunikasi
5	SG	Signal Ground	Ground
1	CD	Carrier Detect	Saat modem mendeteksi suatu 'carrier' dari modem lain

			(ditempat lain) maka sinyal ini akan diaktifkan
4	DTR	Data Terminal Ready	Kebalikan dari DSR,memberitahukan bahwa UART siap melakukan komunikasi
9	RI	Ring Indicator	Akan aktif jika modem mendeteksi adanya sinyal dering dari saluran telepon

Gambar berikut menjelaskan konsep proses transfer antara DTE dengan DTE dan antara DTE dengan DCE.

- Tranfer data antara DTE dengan DTE.



Gambar 2.5 Transfer data antara DTE dengan DTE

Jenis data yang akan ditransfer adalah dalam bentuk data biner (*bit per bit transfer*) dengan satuan *baud* kecepatan proses transfernya (bit per detik).

Dalam proses transfer ini harus terdapat suatu peralatan yang berfungsi sebagai *hand-shake* (jabat tangan) yang berfungsi sebagai pemantau status yang diterima/ada untuk memberikan suatu respon yang sesuai.

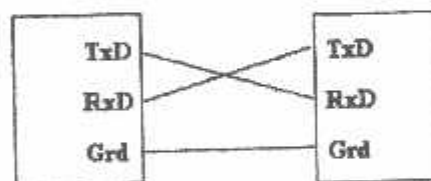
Dalam merancang software komunikasi serial,*hand-shake* disempurnakan dengan menambahkan karakter pengendali dalam deretan / jumlah bit data yang ditransfer yang biasa disebut sebagai *start bit* dan *stop bit*.



Secara sederhana dapat dijelaskan bagaimana konsep interface antara DTE dan DCE dilakukan adalah sebagai berikut :

- Ketika DTE ingin mengirimkan data, sebuah protocol yaitu RTS dikirimkan untuk memberitahu DCE.
- Pada saat itu input RTS pada DCE menjadi aktif.
- Jika DCE mampu menerima data, maka ia akan membalasnya dengan mengirimkan CTS.
- Begitu DTE menerima balasan, input CTS-nya diaktifkan.
- Pengiriman data dilakukan melalui TxD.
- Penerimaan data dilakukan melalui RxD.

Proses diatas dilakukan secara berulang-ulang sampai semua data selesai ditransfer. Tetapi anda juga dapat melakukan komunikasi sederhana dengan hanya menggunakan tiga pin saja yaitu dengan menggunakan tiga buah kabel dengan cara menghubungkan ground dengan ground, dan menghubungkan TxD computer satu dengan RxD computer yang lain seperti pada gambar berikut :

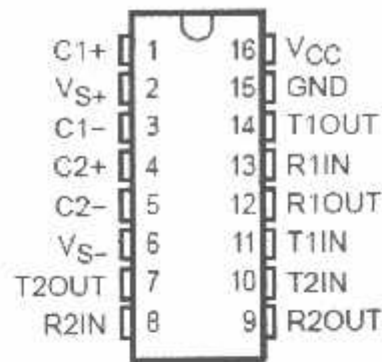


**Gambar 2.6 Hubungan pin pada komunikasi serial**

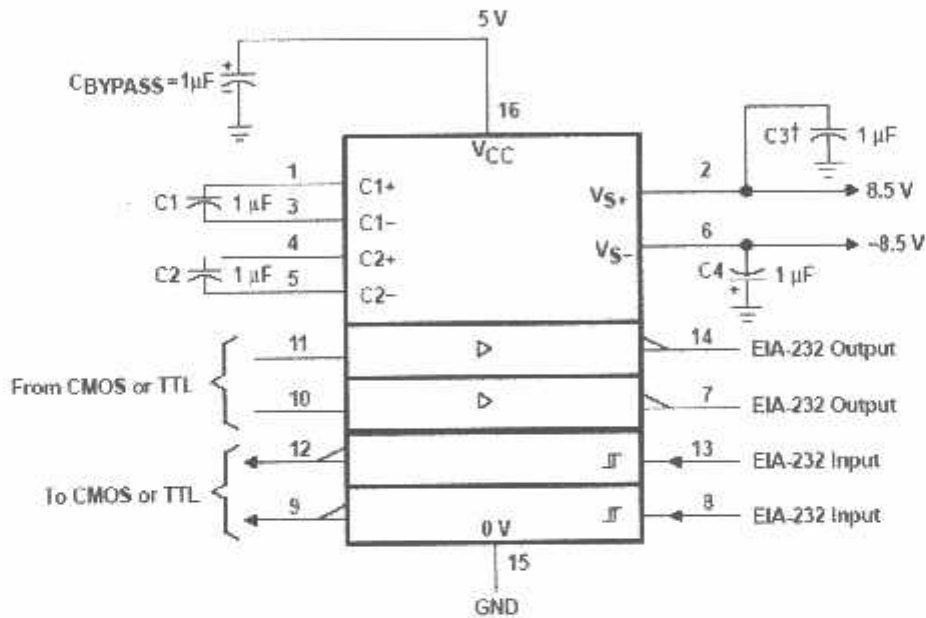
## 2.5 MAX 232

Pemanfaatan *mikrokontroller* untuk melakukan komunikasi serial sangat menguntungkan dalam berbagai macam hal, tetapi dikarenakan level tegangan yang dikeluarkan oleh serial komunikasi *mikrokontroller* tersebut dalam level TTL, maka sinyal dari serial komunikasi tersebut kurang dapat diterima dengan baik oleh piranti lain. Untuk mengubah level tegangan yang dikeluarkan oleh IC yang notabene merupakan level tegangan TTL menjadi level tegangan standard RS232, diperlukan driver serta konverter level TTL ke standard 232, untuk itu digunakan IC max232.





**Gambar 2.7 Pin Konfigurasi Max232**



**Gambar 2.8 Blok Diagram Max232**

Standar RS232 merupakan aturan mengenai level tegangan, konektor dan aturan komunikasi. Standar RS232 memiliki level tegangan antara -3 sampai -15 Volt untuk logika *high*, dan antara +3 sampai +15 Volt untuk logika *low*. Level tegangan antara -3 sampai +3 Volt tidak didefinisikan, sebab di daerah ini kemungkinan adalah *noise*.

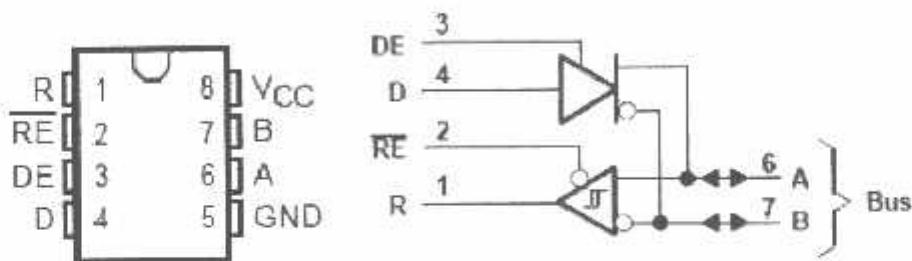
## 2.6 SN75176

RS485 adalah teknik komunikasi data serial yang dikembangkan di tahun 1983 di mana dengan teknik ini, komunikasi data dapat dilakukan pada jarak yang cukup jauh yaitu 1,2 Km. Selain dapat digunakan untuk jarak yang jauh teknik ini juga dapat digunakan untuk menghubungkan 32 unit beban sekaligus hanya dengan menggunakan

dua buah kabel saja tanpa memerlukan referensi ground yang sama antara unit yang satu dengan unit lainnya.

Komunikasi serial RS485 menggunakan sepasang kabel untuk mengirimkan satu sinyal. Tegangan antara kedua kabel saluran selalu berlawanan. Logika ditentukan dari beda tegangan antara kedua kabel tersebut.

SN75176 adalah IC yang menjadi komponen utama Modul SR-485 yang didisain untuk komunikasi data secara bidirectional atau multipoint dengan Standard ANSI EIA/TIA-422-B dan ITU V11. Data yang ditransmisikan oleh IC ini dikirim dalam bentuk perbedaan tegangan yang ada pada kaki A dan B dari SN75176. Di dalam SN75176 terdapat sebuah *driver* dan *receiver* seperti pada Gambar 2.10.



**Gambar 2.9 IC SN75176**

SN75176 berfungsi sebagai pengirim data atau penerima data tergantung dari kondisi kaki-kaki kontrolnya yaitu DE dan RE. Apabila kaki DE berlogika 0 dan RE berlogika 0, maka SN75176 berfungsi sebagai penerima data sedangkan bila kaki DE berlogika 1 dan RE berlogika 1 maka SN75176 berfungsi sebagai pengirim.



**Gambar 2.10 Diagram Komunikasi Data Master dan 32 Slave**

SN75176 dapat mendukung 32 unit paralel dalam satu jalur. Sensitivitas tegangan input *receiver* 0,2 V dan jarak maksimum 4000 feet.

Pada mode pengiriman (*transmitting*), kaki *enable* kirim DE diberi logika 1. Keluaran A dan B ditentukan oleh masukan *driver* D, dimana keluaran A akan sesuai dengan logika *driver* D, sedangkan B berkebalikan. Jika input D berlogika 1, maka output A akan bertegangan 5 Volt dan output B 0 Volt. Sebaliknya jika input D berlogika 0 maka output A bertegangan 0 Volt dan output B 5 Volt.

Pada mode penerimaan (*receiving*), kaki *enable* terima RE diberi logika 0. Output *receiver* R ditentukan oleh tegangan diferensial antara input A dan B ( $V_A - V_B$ ). Jika tegangan diferensial  $V_A - V_B$  lebih besar dari +0,2 Volt, maka *receiver* R akan berlogika 1, sedangkan jika  $V_A - V_B$  lebih kecil dari -0,2 Volt maka *receiver* R akan berlogika 0. Untuk tegangan  $V_A - V_B$  antara -0,2 Volt sampai +0,2 Volt, maka level logika keluaran tidak terdefinisi.

Mode pengiriman dan penerimaan data SN75176 ditunjukkan pada Tabel 2.5 dan 2.6.

**Tabel 2.5 Pengiriman data (*transmitting*)**

INPUT D	ENABLE DE	OUTPUT	
		A	B
H	H	H	L
L	H	L	H
x	L	Z	Z

**Tabel 2.6 Penerimaan data (*receiving*)**

DIFFERENTIAL INPUTS (A – B)	ENABLE $\overline{\text{RE}}$	OUTPUT R
$V_D \geq 0,2\text{V}$	L	H
$-0,2\text{V} < V_{\text{ID}} < 0,2\text{V}$	L	?
$V_{\text{ID}} \leq -0,2\text{V}$	L	L
x	H	Z
OPEN	L	?

H = High Level, L = Low Level, x = Irrelevant, Z = high impedance (off), ? = Indeterminate

Jika terdapat gangguan listrik yang menimpa saluran transmisi, maka induksi tegangan gangguan akan diterima kedua kabel saluran sama besar. Karena *Receiver* membandingkan selisih tegangan antara dua kabel saluran, maka induksi tegangan tidak akan berpengaruh pada output. Dengan kemampuan menangkal gangguan yang

sangat baik ini, RS-485 bisa dipakai untuk membangun saluran transmisi jarak jauh sampai 4000 feet dengan kecepatan tinggi.

## 2.7 Driver Motor L298

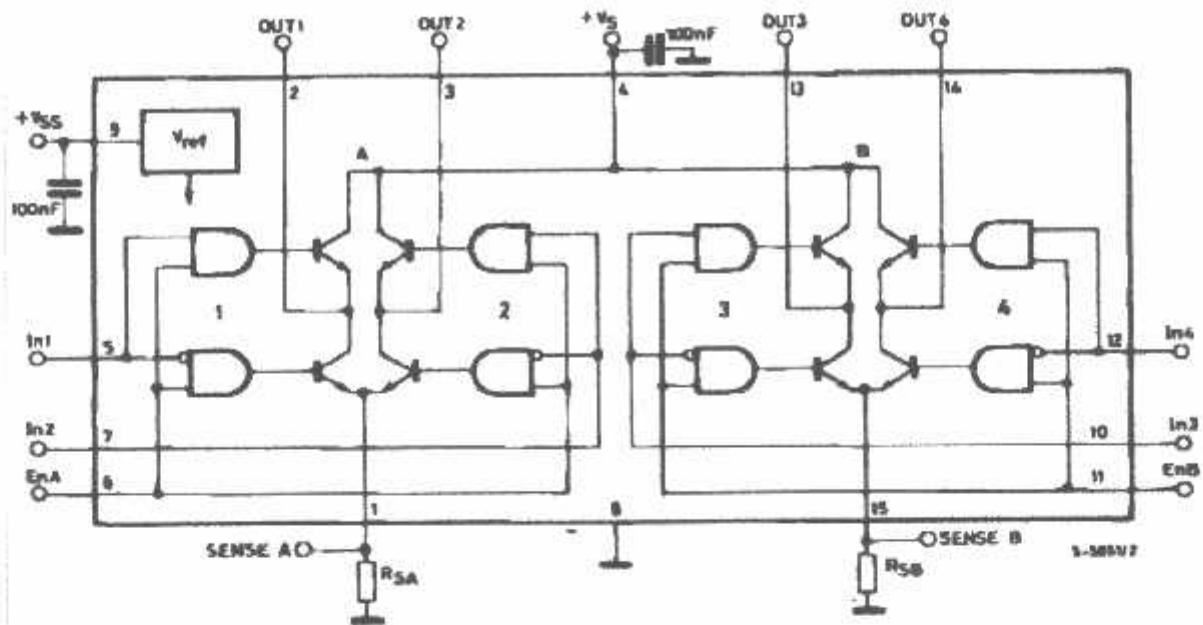
Driver motor digunakan sebagai penghubung antara mikrokontroller ke solenoid. Digunakan driver motor karena arus yang keluar dari mikrokontroller tidak mampu mencukupi kebutuhan dari solenoid. Rangkaian driver motor dengan komponen utama transistor, mosfet dan Relay. Fungsi komponen utama apabila pada motor yaitu, Relay digunakan untuk membalik polaritas motor yang diaktifkan oleh transistor. Sedangkan mosfet digunakan untuk mengatur kecepatan motor DC. Nilai yang diberikan pada input motor digunakan untuk menentukan arah putaran motor. Nilai yang diberikan pada input PWM digunakan untuk mengatur kecepatan putaran motor.

Rangkaian H-bridge adalah rangkaian untuk mendrive motor yang menghasilkan keluaran dengan putaran motor yang dapat berputar searah jarum jam (clock wise), maupun berlawanan dengan arah jarum jam (counter clock wise), sedangkan untuk solenoid hanya untuk penggerak mekanik pintu dengan menarik dan mendorong. Untuk H-bridge ini digunakan L298 (dual full bridge drive), yang berisi dua rangkaian H-bridge. H-bridge L298 ini digunakan sebagai drive untuk menggerakkan solenoid sampai dengan arus 3A.

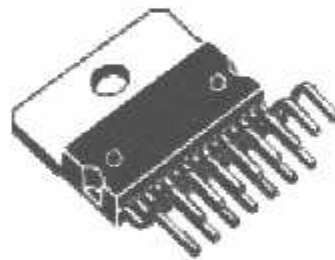
### 2.7.1 L298

IC L298 merupakan IC buatan SGS Thomson Microelectron Inc. yang digunakan untuk mengontrol solenoid. L298 menggunakan prinsip kerja *H-Bridge motor drive*. IC L298 adalah IC dual full bridge drive yang beroperasi sampai tegangan 46V dan arus DC 4A, yang di desain untuk menerima logic level TTL standar. IC ini berfungsi untuk mendrive induktif load seperti relay, solenoid, motor DC dan motor stepper.

---



Gambar 2.11 rangkaian H-Bridge pada L298



Gambar 2.12 Bentuk fisik L298

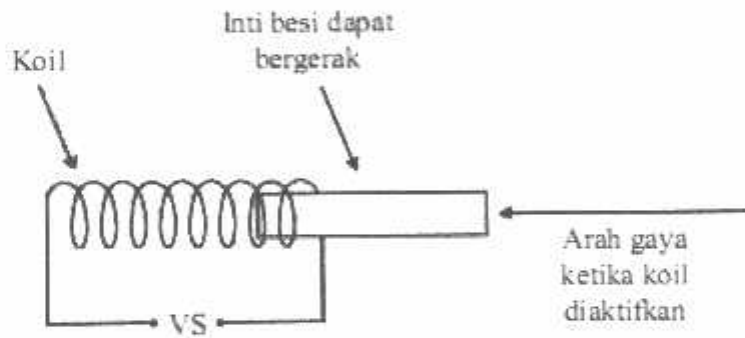
L298 mempunyai 2 output power stage yaitu A dan B. output power stage adalah sebuah konfigurasi bridge, dimana outputnya dapat mendrive sebuah induktif load secara mode umum atau diffensial tergantung pada input statenya. Arus yang mengalir keluar dari rangkaian bridge keluar melalui pin output sense, dimana sense output dihubungkan dengan resistor external  $R_{sA}$  dan  $R_{sB}$ . Dengan adanya resistor  $R_{sA}$  dan  $R_{sB}$  dapat diketahui intensitas arusnya.

Setiap H-Bridge di drive oleh 2 AND gate yang masing-masing inputnya adalah In1, In2, EnA dan In3, In4, EnB. Inputan In akan men-set bridge bila inputan En high, sebaliknya bila inputan En low maka bridge tidak aktif.

## 2.8 Solenoid

Solenoid adalah alat yang digunakan untuk mengubah sinyal listrik atau arus listrik menjadi gerakan mekanis linier. Solenoid disusun dari kumparan dengan inti besi yang dapat bergerak. Apabila kumparan diberi tenaga, inti yang disebut jangkar akan ditarik ke dalam kumparan. Besarnya gaya tarikan atau dorongan yang dihasilkan solenoid ditentukan dengan jumlah lilitan kawat tembaga dan besar arus yang mengalir melalui kumparan.

Pada rangkaian elektronik, solenoid berfungsi seperti induktor, yaitu memiliki tahanan apabila terjadi perubahan arus, sehingga persamaan-persamaan yang berlaku pada induktor juga berlaku pada solenoid sehingga solenoid dapat dimodelkan sebagai sebuah induktor.

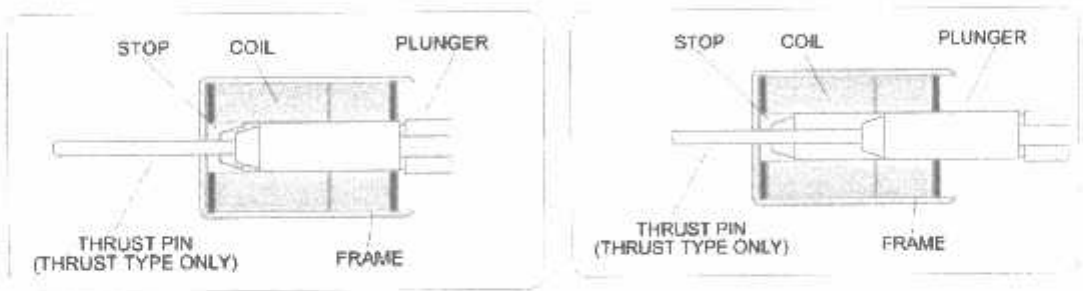


Gambar 2.13 Solenoid

Panjang pukulan solenoid adalah sangat penting semakin pendek pukulan semakin tinggi kecepatan kerja dan memerlukan gaya yang lebih kecil. Gaya yang lebih besar ada pada pukulan yang lebih pendek yang memungkinkan digunakan ukuran solenoid yang lebih kecil. Pukulan maksimum tidak boleh melampaui separo panjang punger. Batas kerja solenoid pada dasarnya adalah gaya, pukulan, siklus tugas, suhu dan daya. Pertimbangan yang lain adalah ukuran, pemasangan, tempat pemasangan, hubungan listrik, umur pemakaian. Beban harus tidak pernah melampaui gaya yang dibangkitkan pada pukulan jika beban terlalu besar, plunger tidak akan menarik masuk atau menempati posisinya. Energi yang berlebihan yang diberikan pada solenoid harus didisipasi oleh beberapa alat yang lain.

Pemodelan dari sistem solenoid dan massa pegas dapat dibuat menjadi dua buah sistem, yaitu sistem mekanik dan sistem elektrik. Sistem mekanik terdiri dari massa, pegas, dan damper sedangkan sistem elektrik terdiri dari resistor dan induktor.

Pada dasarnya solenoid terdiri dari coil solenoid dengan rangkaian besi yang terkait membentuk bagian tetap. Sebuah plunger bergerak ditarik ke dalam kumparan bila energi. Gambar-gambar di bawah ini menunjukkan kerangka dasar terbuka solenoida dengan pin dorong, solenoida ini dapat digunakan sebagai jenis menarik jika beban terpasang pada ujung plunger (akhir tebal).



**Gambar 2.14 Struktur dalam solenoid**

Gambar 2.13 menunjukkan dorongan standar (atau push jenis), sehingga akan terjadi buka tutup. Bila solenoida diberi energi maka plunger akan tertarik ke STOP.

Solenoid memiliki tindakan menarik elektromekanis. Aksi tarik ini dapat dikonversi ke tindakan mendorong dengan pemasangan pin dorong atau plunger ditempat yang sesuai.

**2.9 Fingerprint (Mesin Sidik Jari)**

Pada dasarnya pada diri setiap manusia memiliki sesuatu yang unik/khas yang hanya dimiliki oleh dirinya sendiri. Hal ini menimbulkan gagasan untuk menjadikan keunikan manusia itu sebagai identitas diri. Hal ini harus didukung oleh teknologi yang secara otomatis bisa mengidentifikasi/ pengenali seseorang dengan memanfaatkan teknologi semikonduktor yang semakin hari ukurannya bisa semakin kecil. Teknologi ini disebut sebagai biometrik. Biometrik adalah metode untuk mengidentifikasi atau mengenali seseorang berdasarkan karakteristik fisik atau perilakunya.

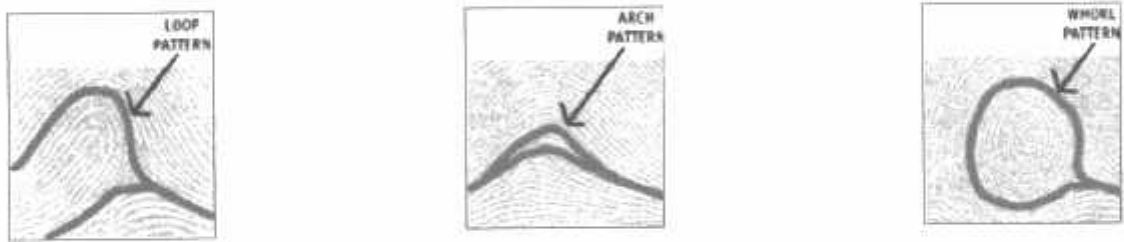
Bagian-bagian dari tubuh manusia yang bersifat unik/ spesifik dan juga akurat adalah :

- Sidik jari
- Struktur wajah
- Iris dan retina mata

Teknologi identifikasi sidik jari berdasarkan fakta bahwa setiap sidik jari adalah unik. Verifikasi system menggunakan kontur dan flat image dari jari dan membandingkannya.

Sidik jari manusia biasanya diklasifikasikan berdasarkan Henry System :

- Loop kiri
- Loop kanan
- Arch
- Tented arch
- Whorl



Gambar 2.15 Klasifikasi sidik jari



Figure 1

Gambar 2.16 kontur kulit jari



Sensor sidik jari akan menangkap kontur kulit jari. Kontur jari adalah hal yang sangat penting karena bisa menghindari kecurangan pemalsuan dengan menggunakan foto copy sidik jari, dengan karet, atau cetakan yang lain.

### **Perbandingan Dengan Sistem Konvensional**

Sistem konvensional yang dimaksud adalah sistem mekanik dimana setiap pengguna harus memasukkan sebuah kartu absensi ke dalam mesin absensi dan akan dicetak jam absensinya, dan juga sistem yang lebih canggih yaitu dengan menggunakan *badge*. *Badge* ada tiga jenis yaitu barcode, magnetik, dan proximity, biasanya cara memakainya dengan menggesek kartu itu ke alat absensi atau dengan cara mendekatkannya saja.

Pada sistem konvensional, dilakukan menggunakan kartu identitas untuk melakukan transaksi penitipan dan pengambilan barang. Apabila kartu tersebut hilang atau ditemukan oleh pihak yang tidak bertanggung jawab maka akan merugikan pengguna jasa penitipan barang. Oleh karena itu dalam skripsi ini dibuat sistem penitipan barang berdasarkan sidik jari.

Ada berbagai alasan untuk menggunakan identifikasi sidik jari sebagai system keamanan :

- a. Harga yang relatif lebih murah dibanding sistem biometrik lainnya.
  - b. Tidak memungkinkan penggunaan oleh orang lain.
  - c. Data langsung masuk ke komputer, bisa langsung diolah untuk pembuatan laporan.
-

## **BAB III**

### **PERANCANGAN DAN PEMBUATAN ALAT**

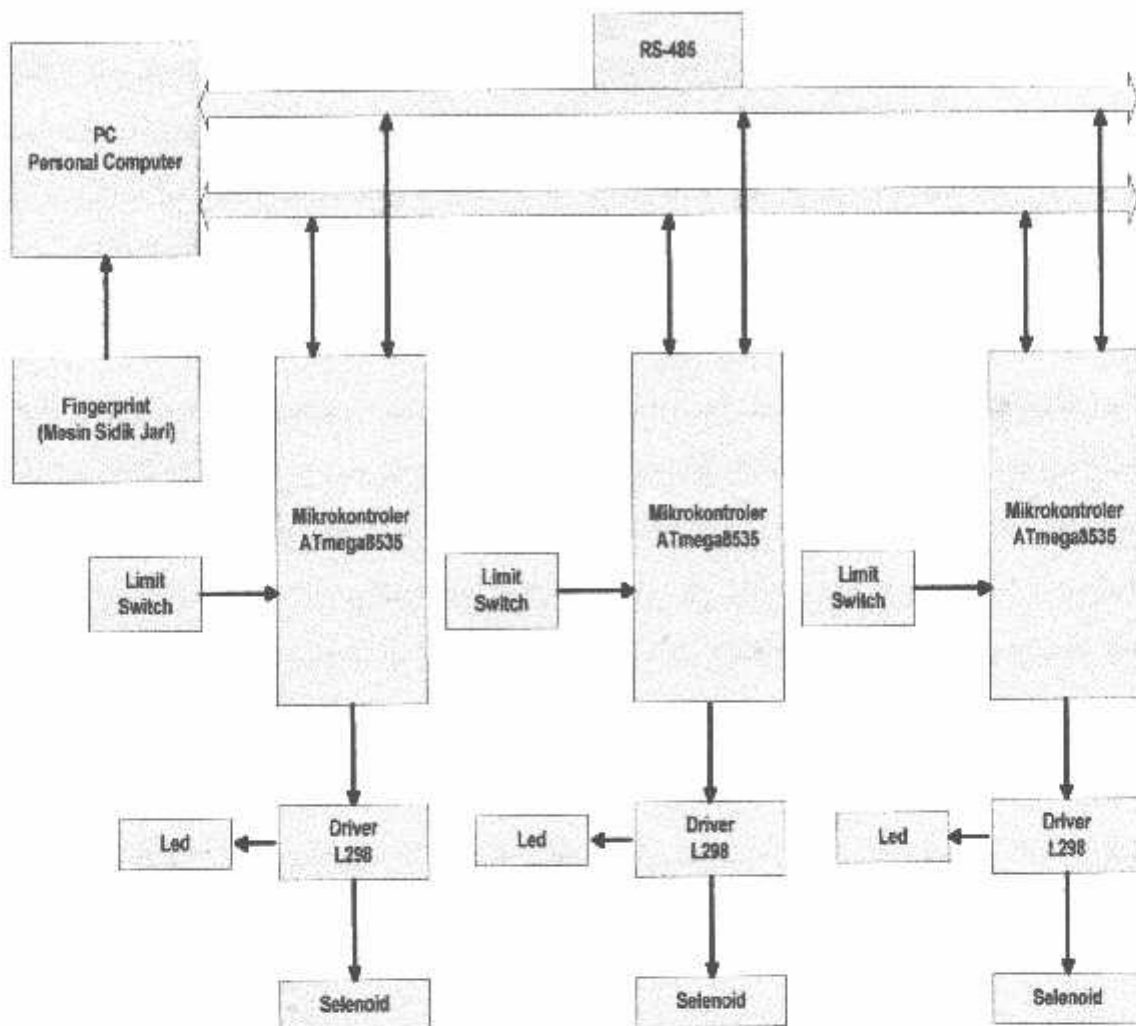
#### **3.1 Pendahuluan**

Skripsi ini bersifat aplikatif, yaitu perencanaan dan pembuatan alat agar dapat menampilkan unjuk kerja sesuai yang direncanakan. Data komponen yang digunakan dalam desain alat ini adalah data sekunder yang diambil dari buku data komponen elektronika. Pemilihan komponen berdasarkan perencanaan dan disesuaikan dengan komponen yang ada di pasaran. Sedangkan data primer merupakan data spesifikasi alat hasil pengujian.

Langkah-langkah yang perlu dilakukan untuk mercalisasikan alat yang dibuat adalah :

#### **3.2 Perancangan dan Peralisasian Alat**

Agar perancangan dan perealisasiian alat berjalan secara sistematis maka perlu dirancang *blok diagram* yang menjelaskan sistem yang dirancang dibuat secara garis besar. Gambar 3.1 menunjukkan *blok diagram* sistem.



**Gambar 3.1 Diagram Blok Sistem**

Fungsi dari tiap tiap *blok diagram* dijelaskan sebagai berikut:

1. *Personal Computer*

Berfungsi untuk pengolahan sidik jari dan menyimpan semua data yang dibutuhkan untuk dapat mengirimkan data ke komunikasi serial serta menampilkan menggunakan program Delphi.

2. Mikrokontroller

Mikrokontroler ATmega8535 digunakan sebagai control kerja dari system, data yang dikirim dari PC menuju mikrokontroler ATmega8535 melalui jaringan komunikasi RS-485 dan disimpan di dalam EEPROM sebagai data referensi untuk menginterupsi rangkaian driver L298 yang menggerakkan solenoid.

3. RS-485

RS-485 berfungsi sebagai komunikasi serial antara mikrokontroler dengan komputer atau sebaliknya.

#### 4. Driver L298

Rangkaian Driver digunakan sebagai penghubung antara mikrokontroller ke solenoid. Rangkaian driver digunakan karena arus yang keluar dari mikrokontroller tidak mampu mencukupi kebutuhan dari solenoid.

#### 5. Solenoid

Solenoid digunakan sebagai sistem mekanik untuk membuka dan menutup pada pintu loker.

#### 6. Limit switch

Limit switch digunakan sebagai saklar saat membuka dan menutup loker saat menggunakan loker.

#### 7. Led

Led berfungsi untuk indicator pada saat solenoid dalam keadaan ON atau OFF yang berarti bahwa loker dalam posisi terbuka atau tertutup.

#### 8. Fingerprint

Fingerprint digunakan sebagai pengambilan data citra sidik jari yang dilakukan oleh user loker.

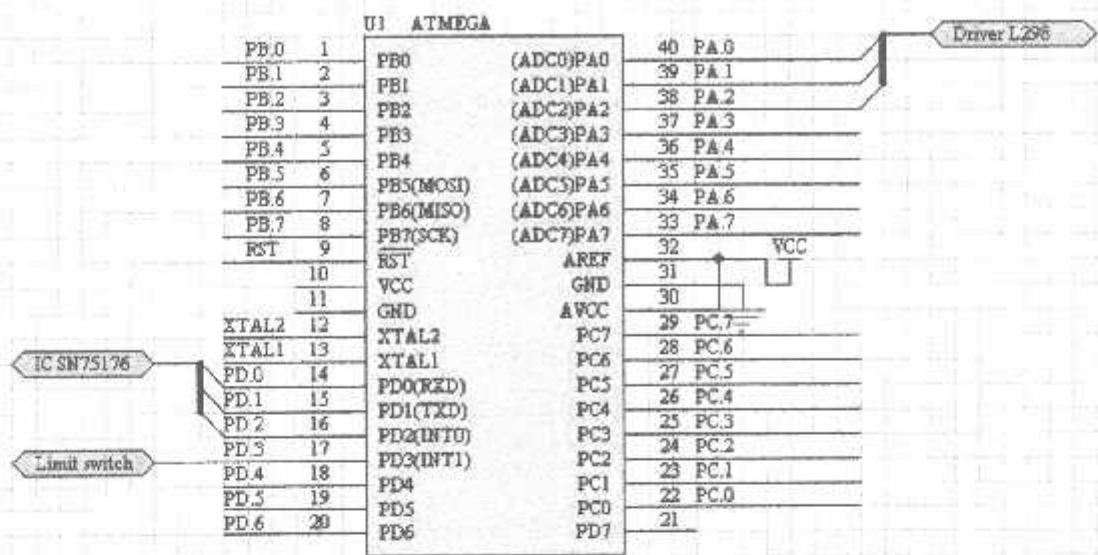
### 3.3 Perancangan Perangkat Keras (Hardware)

#### 3.3.1 Perancangan Minimum System ATmega8535

Dalam proses kerja Mikrokontroler, adapun rangkaian yang harus dimiliki agar mikrokontroler tersebut bisa bekerja, diantaranya rangkaian kristal, reset dan power supply 5V. Mikrokontroler juga bekerja dengan adanya software yang dapat mengeksekusi perintah agar melakukan suatu intruksi dari perintah-perintah tersebut, sedangkan software menggunakan bahasa BASCOM untuk membuat sebuah perintah dari intruksi-intruksi tersebut.

Mikrokontroler ATmega8535 digunakan sebagai control kerja dari system, data yang dikirim dari PC menuju mikrokontroler ATmega8535 melalui jaringan komunikasi RS-485 dan disimpan di dalam EEPROM sebagai data referensi untuk menginterupsi rangkaian driver H-bridge yang menggerakkan solenoid.

Pada Port A.0 – A.2 digunakan sebagai input output untuk data yang dikirim ke driver H-bridge. Sedangkan untuk mengkonversi level tegangan TTL ke CMOS digunakan IC MAX232. Fungsi dari IC MAX232 adalah sebagai pengkonversi level tegangan TTL dari mikrokontroller ke level tegangan CMOS computer atau sebaliknya yang menggunakan pin komunikasi serial (TXD dan RXD).



Gambar 3.2 alokasi Penggunaan Port Mikrokontroler ATmega8535

3.3.1.1 Rangkaian Clock Generator

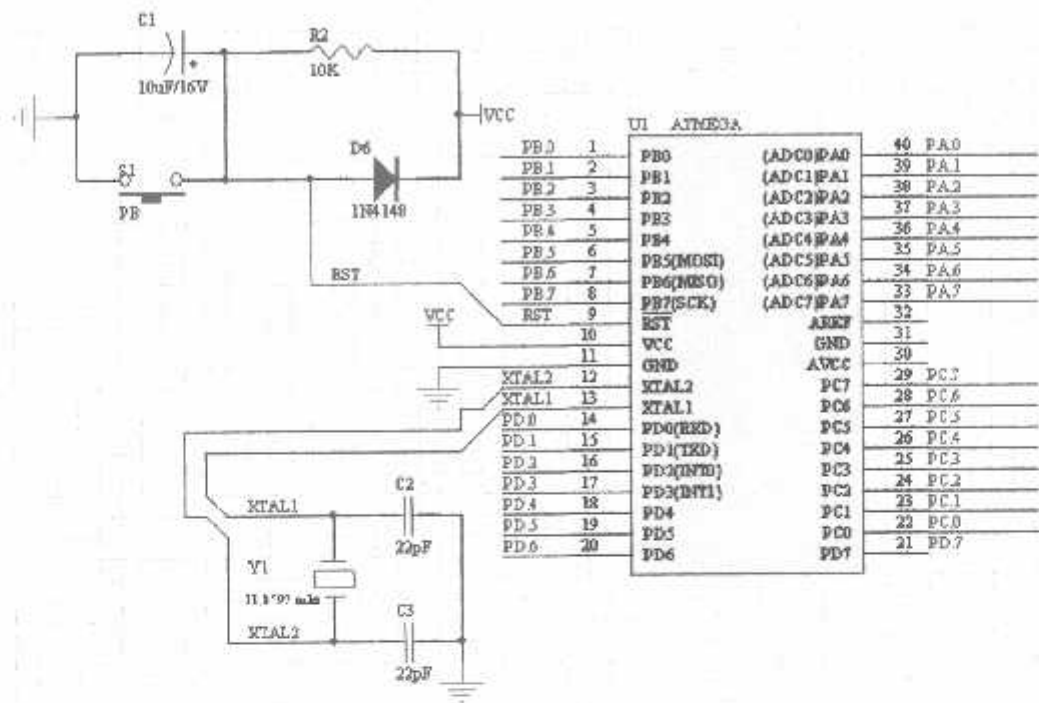
Mikrokontroler ATmega8535 memiliki *osilator internal (on chip oscillator)* yang dapat digunakan sebagai sumber *clock* bagi CPU. Untuk menggunakan *osilator* internal diperlukan sebuah Kristal antara pin *XTAL1* dan *XTAL2* serta kapasitor ke ground. Untuk Kristal dari *minimum system* ini menggunakan frekuensi 11.0592 MHz, sedangkan untuk kapasitor menggunakan 22 pF. Nilai kapasitor ini diperoleh dari table datasheet tentang penggunaan kapasitor untuk rangkaian *osilator/system clock* pada ATmega8535. Penggunaan kristal 11,0592 MHz ini bertujuan agar perhitungan *baudrate* tidak mengalami *error* yang disebabkan karena selisih perhitungan. Perhitungan *baudrate* pada AVR ATmega8535 dengan menggunakan Kristal 11,0592 MHz, dimana *baudrate* yang diinginkan ialah 38400 bps, maka nilai pada *UBRR (USART Baud Rate Register)* dapat ditentukan dengan perhitungan :

$$\begin{aligned} UBRR &= (fosc / 16 \cdot Baud) - 1 \\ UBRR &= (11059200 / 16 \cdot 38400) - 1 \\ UBRR &= (11059200 / 614400) - 1 \\ UBRR &= 18 - 1 \\ &= 17 = 11 \text{ MHz} \end{aligned}$$

Dimana :

- UBRR* : *USART Baud Rate Register*
- FOSC* : Kristal yang digunakan
- Baud* : *Baudrate* yang diinginkan

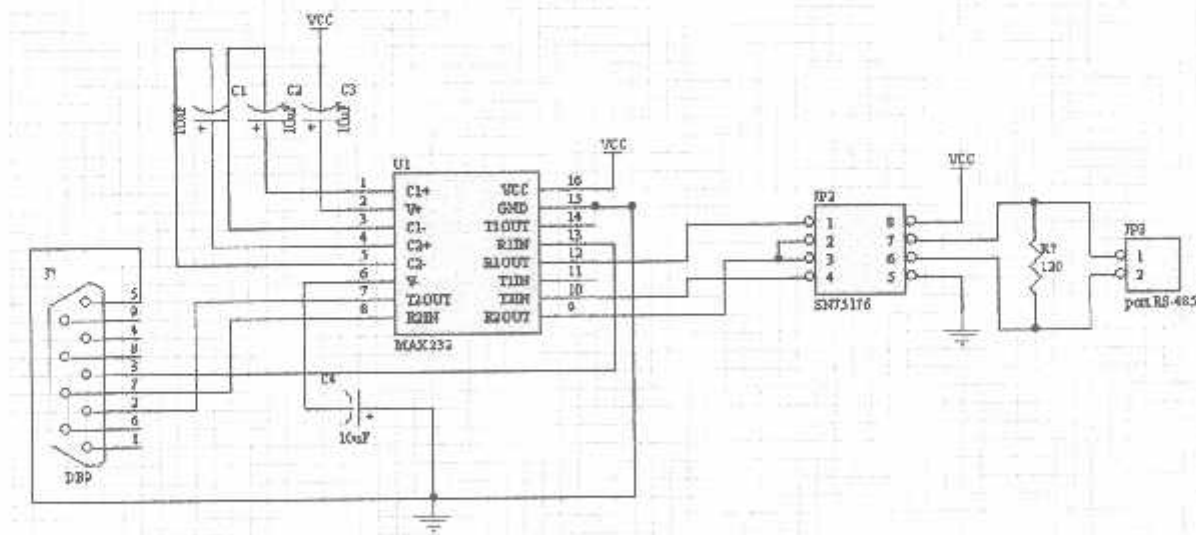
Penggunaan Kristal 11,0592 MHz memungkinkan hasil perhitungan *baudrate* tidak sisa dan *error* dari selisih perhitungan tidak ada.



Gambar 3.3 Perancangan minimum system ATmega8535

3.3.2 Perancangan Antarmuka RS-485

Rangkaian antarmuka saluran transmisi RS-485 dengan computer ditunjukkan dalam gambar 3.3



Gambar 3.4 Rangkaian Converter RS-232 to RS-485

Seperti telah disinggung sebelumnya bahwa pada antarmuka saluran RS-485 dengan computer dilakukan dengan 2 kali konversi level tegangan, karena port serial computer tidak bekerja pada level tegangan TTL, melainkan level tegangan RS-232. Untuk itu diperlukan komponen tambahan yang berfungsi untuk mengkonversi level tegangan TTL ke level tegangan RS-232, begitu juga sebaliknya. Komponen yang digunakan adalah MAX232 dari *Maxim*. Untuk menjalankan fungsinya, MAX232 memerlukan beberapa komponen tambahan berupa empat buah kapasitor yang nilainya telah ditentukan oleh produsen dalam lembar datanya, yaitu  $1\mu F$  untuk seluruh kapasitor.

Sebagai saluran penerimaan data, keluaran TTL ( $R_{1out}$ ) transceiver SN75176 dihubungkan ke masukan TTL ( $T_{2in}$ ) dari MAX232 yang kemudian keluaran RS-232nya ( $T_{2out}$ ) dihubungkan ke terminal RD (pin 2) dari port serial computer. Sedangkan sebagai saluran pengiriman data dari computer, terminal TD (pin 3) dari port serial computer dihubungkan ke masukan RS-232 ( $R_{1in}$ ) dari MAX232 yang kemudian keluaran TTL nya ( $R_{1out}$ ) dihubungkan ke masukan TTL (RO) dari SN75176.

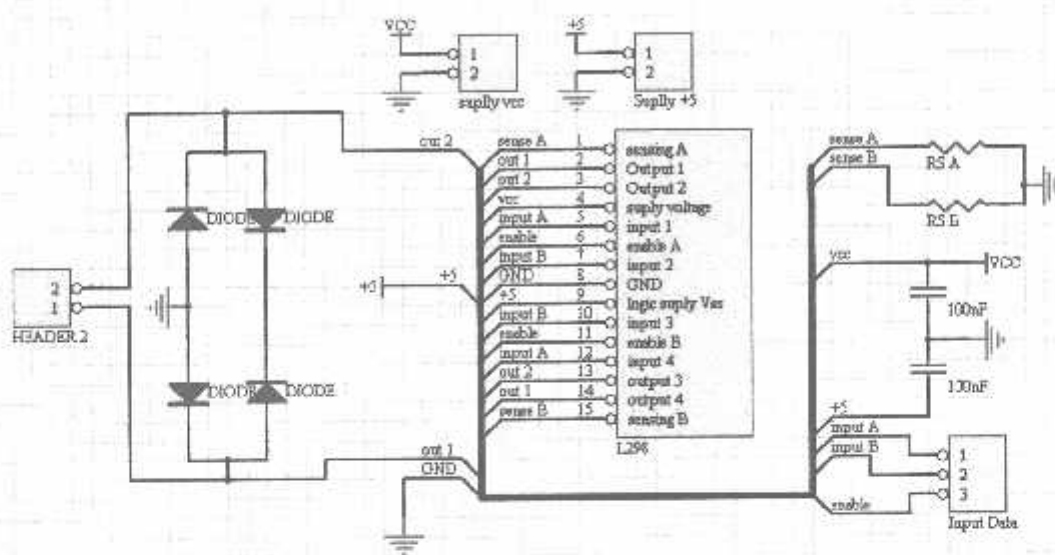
Dalam melakukan komunikasi, computer harus memberikan sinyal control ke SN75176 dalam pengiriman maupun penerimaan data. Untuk tujuan tersebut dipilih terminal RTS (pin7) dari port serial computer sebagai jalur sinyal control terminal RTS ini dihubungkan dengan masukan RS-232 dari Max 232 yang tersisa, yaitu  $R_{2in}$  keluaran TTLnya adalah  $R_{2out}$  yang langsung dihubungkan dengan masukan TTL sinyal control *driver* (DE) dan *receiver* (RE), sedangkan level logika sinyal control ini diatur oleh program computer. Sebelum computer melakukan pengiriman data, program computer harus membuat terminal RTS berlogika 1 (-3 s/d -15V) sehingga keluaran TTL pada  $R_{2out}$  berlogika 1 untuk mengaktifkan *driver* saluran RS-485. Setelah pengiriman data selesai, program computer secepat mungkin membuat terminal RTS berlogika 0 ( +3 s/d +15V) sehingga keluaran TTL  $R_{1out}$  mengaktifkan receiver saluran sekaligus menonaktifkan *driver* saluran. Hal ini bertujuan untuk menghindari kemungkinan adanya lebih dari satu *driver* saluran yang aktif dalam satu jaringan yang dapat menyebabkan terganggunya transmisi data.

Rangkaian RS-485 ini menggunakan IC SN75176, untuk pin DE/RE dihubungsingkat yang berfungsi sebagai pin pengendali kapan IC SN75176 mengirim(receiver) dan menerima data (driver). Jika pin DE/RE diberi logika 1, maka akan berfungsi sebagai pengirim data, sebaliknya jika pin DE/RE diberi logika rendah



maka akan berfungsi sebagai penerima data. Pemberian logika ini melalui perangkat lunak.

### 3.3.3 Perancangan Driver L298



**Gambar 3.5 Rangkaian Driver L298**

Rangkaian Driver digunakan sebagai penghubung antara mikrokontroler ke solenoid. Rangkaian driver digunakan karena arus yang keluar dari mikrokontroler tidak mampu mencukupi kebutuhan dari solenoid. Pada perancangan alat ini digunakan sebuah solenoid sebagai pembuka dan penutup pintu loker yang digerakkan menggunakan IC L298.

**cara kerja :**

pada saat input A diberi logika “1”, input B diberi logika “0” dan enable diberi logika 1, maka solenoid akan menarik pendorongnya. Sebaliknya juga, pada saat input A diberi logika “0”, input B diberi logika “1” dan enable diberi logika “1”, maka solenoid akan menarik pendorong.

Catatan :

- Berapa pun logika yang diberikan pada inputan A dan B, jika enable berlogika "0" maka selenoid tidak akan aktif.
- Pada rangkaian diatas, H-bridge L298 di rancang secara parallel agar di dapat arus maksimum yaitu 4 Ampere.



### 3.4 Perancangan Protokol Data

Perancangan transmisi data pada skripsi ini tidak tergantung pada protocol Modbus, hanya model transmisinya yang menyerupai atau mengacu pada protocol Modbus, sedangkan protocol data yang dilakukan tidak.

Protokol Modbus merupakan aturan komunikasi dalam transmisi data antara Master dan Slave. Fungsi dasar Modbus yang akan dibuat dalam sistem telekontrol Modbus terdiri dari fungsi 01 sebagai fungsi pengesetan (*telecontrolling*). Dalam perancangan perangkat keras, Slave sistem telekontrol Modbus memiliki *portA.0* dengan address 01 sebagai driver solenoid.

Slave pada sistem telekontrol Modbus memiliki 1 jenis perangkat input-output sebagai sarana untuk berhubungan dengan peralatan luar yaitu solenoid loker pada alamat 00 untuk membuka loker.

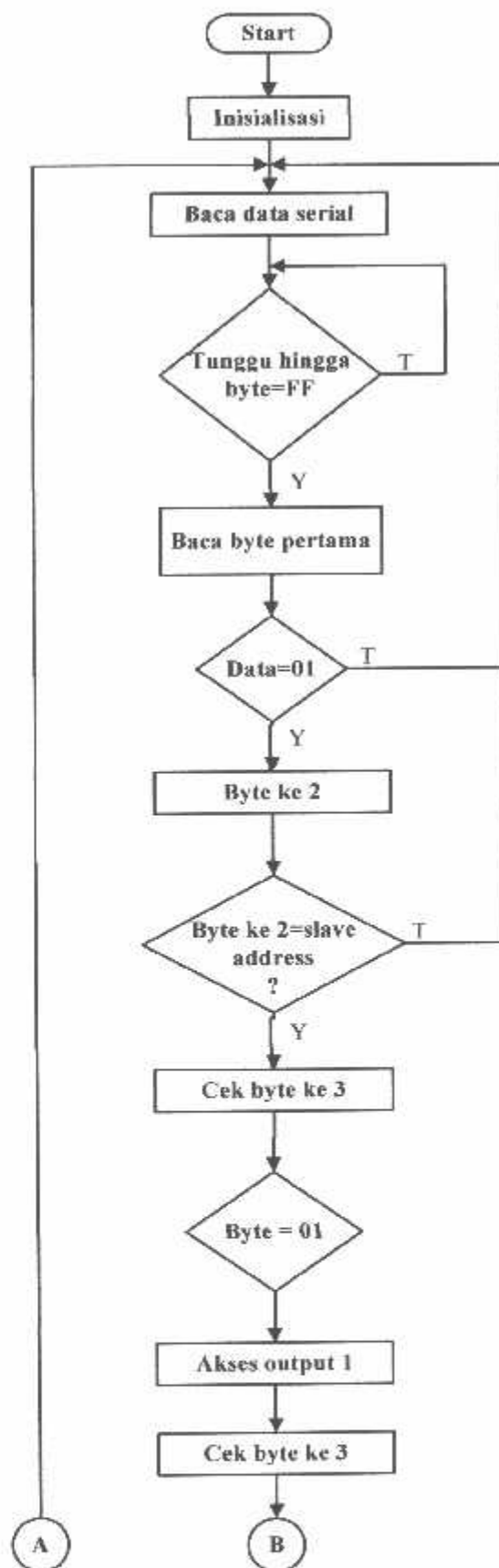
**Tabel 3.1 Sistem Protocol Data**

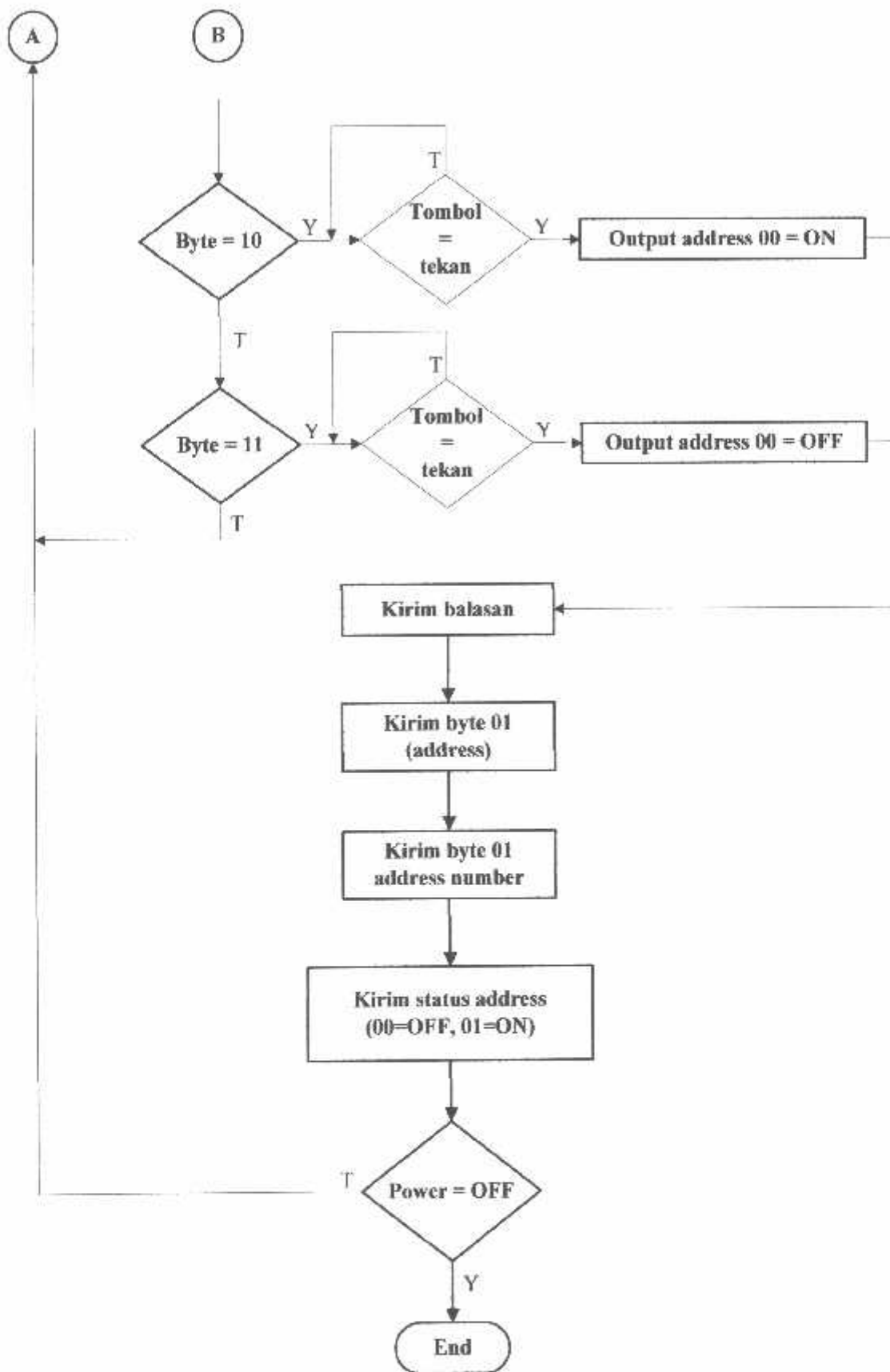
START	ADDRESS	DATA	FUNCTION		END
			ON	OFF	
01	01/02/03	01	10	11	FF

### 3.5 Perencanaan Perangkat Lunak (Software)

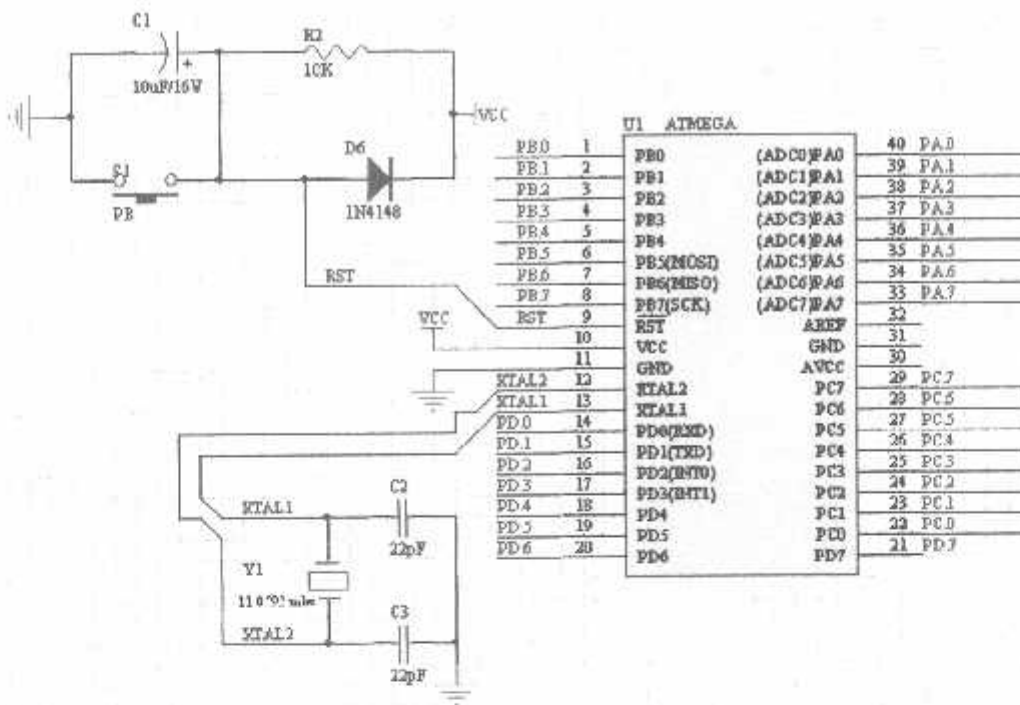
Perangkat lunak ini dibuat dengan bahasa pemrograman borland Delphi yang bekerja dibawah operasi Windows XP. Dipilihnya bahasa program ini agar didapat kemudahan dalam penggunaannya.

Sebelum membuat perangkat lunak dibuat diagram alir (flowchart) dari proses yang akan dibuat supaya memudahkan dalam pembuatan perangkat lunak (software) berikut ini adalah diagram alir dari software yang dirancang.





Gambar 3.6 Flowchart Sistem



**Gambar 4.1. Rangkaian Pengujian *Minimum System* ATmega8535**

#### 4.2.3 Peralatan Yang Digunakan

Alat-alat yang digunakan dalam pengujian adalah :

- Suplly 5V
- Rangkaian Pengujian
- *Multimeter Digital*

#### 4.2.4 Langkah – Langkah Pengujian

1. Menghubungkan supllly 5 volt dengan rangkaian *minimum system*.
2. Memprogram *port mikrokontroller* dengan memberikan *logic "0"* dan *logic "1"* menampilkannya pada *led* yang terhubung dengan *port mikrokontroller*.
3. Mengukur tegangan keluaran dari *port keluaran mikrokontroller*.
4. Mencatat hasil pengamatan yang dilakukan.

#### 4.2.5 Hasil Pengujian

##### 4.2.5.1 Rangkaian *Minimum System* ke-1

- Pengujian Pada *Port A*

**Tabel 4.1. Hasil Pengujian Pada Port A**

<i>Port</i>	<i>Logic Masukan (Bit)</i>	<i>Tegangan Keluaran (Volt)</i>	<i>LED Indikator</i>
A.0	1	4.69	Mati
A.1	1	4.69	Mati
A.2	1	4.68	Mati
A.3	1	4.67	Mati
A.4	0	0.13	Nyala
A.5	0	0.13	Nyala
A.6	0	0.12	Nyala
A.7	0	0.13	Nyala

Pada saat *Minimum System* di program dengan *logic* masukan “1”, *led indicator* mati. Sebaliknya pada saat *Minimum System* di program dengan *logic* masukan “0”, *led indicator* nyala. Jadi *Minimum System* yang digunakan disini adalah aktif *low*.



**Gambar 4.2. Tegangan Keluaran *Mikrokontroller Port A* Kondisi *High***

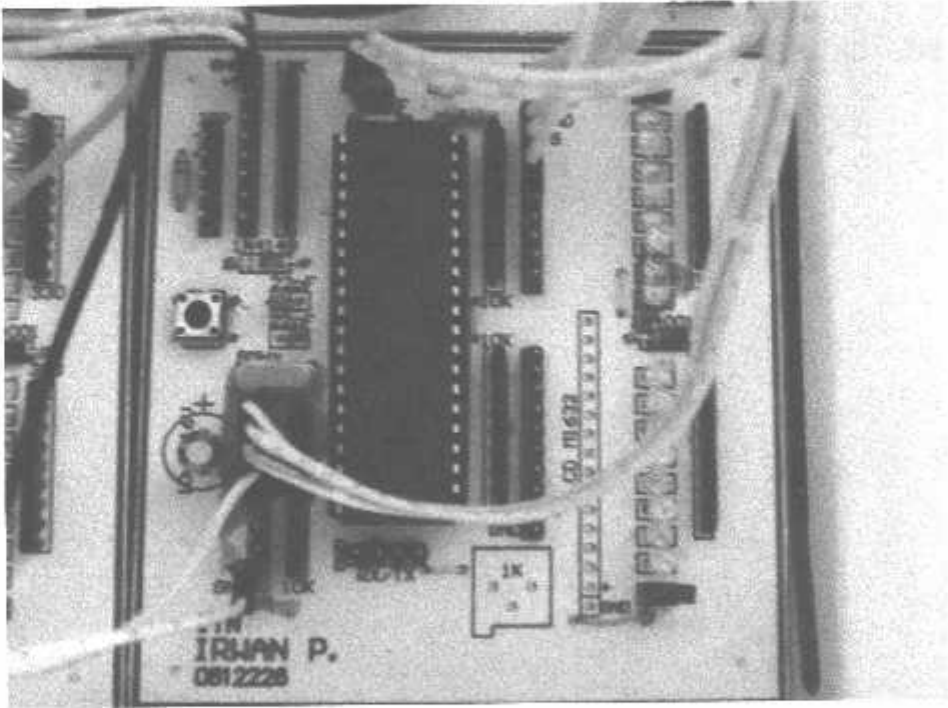


**Gambar 4.3. Tegangan Keluaran *Mikrokontroller Port A* Kondisi *Low***

- Pengujian Pada *Port D*

Tabel 4.2. Hasil Pengujian Pada *Port D*

<i>Port</i>	<i>Logic Masukan (Bit)</i>	<i>Tegangan Keluaran (Volt)</i>	<i>LED</i>
D.0	1	4.68	Mati
D.1	1	4.69	Mati
D.2	1	4.68	Mati
D.3	1	4.68	Mati
D.4	0	0.13	Nyala
D.5	0	0.13	Nyala
D.6	0	0.14	Nyala
D.7	0	0.12	Nyala



Gambar 4.4 Rangkaian *Minimum System* ATmega8535

4.2.5.2 Rangkaian *Minimum System* ke-2

- Pengujian Pada *Port A*

Tabel 4.3. Hasil Pengujian Pada Port A

Port	Logic Masukan (Bit)	Tegangan Keluaran (Volt)	LED Indikator
A.0	1	4.8	Mati
A.1	1	4.7	Mati
A.2	1	4.7	Mati
A.3	1	4.7	Mati
A.4	0	0.13	Nyala
A.5	0	0.12	Nyala
A.6	0	0.12	Nyala
A.7	0	0.13	Nyala

• Pengujian Pada Port D

Tabel 4.4. Hasil Pengujian Pada Port D

Port	Logic Masukan (Bit)	Tegangan Keluaran (Volt)	LED
D.0	1	4.68	Mati
D.1	1	4.68	Mati
D.2	1	4.68	Mati
D.3	1	4.68	Mati
D.4	0	0.13	Nyala
D.5	0	0.14	Nyala
D.6	0	0.14	Nyala
D.7	0	0.12	Nyala

4.2.5.3 Rangkaian Minimum System ke-3

• Pengujian Pada Port A



Tabel 4.5. Hasil Pengujian Pada Port A

Port	Logic Masukan (Bit)	Tegangan Keluaran (Volt)	LED Indikator
A.0	1	4.7	Mati
A.1	1	4.7	Mati
A.2	1	4.8	Mati
A.3	1	4.7	Mati
A.4	0	0.13	Nyala
A.5	0	0.13	Nyala
A.6	0	0.12	Nyala
A.7	0	0.13	Nyala

• Pengujian Pada Port D

Tabel 4.6. Hasil Pengujian Pada Port D

Port	Logic Masukan (Bit)	Tegangan Keluaran (Volt)	LED
D.0	1	4.68	Mati
D.1	1	4.69	Mati
D.2	1	4.69	Mati
D.3	1	4.68	Mati
D.4	0	0.14	Nyala
D.5	0	0.13	Nyala
D.6	0	0.17	Nyala
D.7	0	0.12	Nyala

4.3 Pengujian Rangkaian Driver L298

4.3.1. Tujuan

Tujuan dari pengujian rangkaian driver L298 ini adalah untuk mengetahui apakah selenoid sudah bisa dikendalikan secara program.



	0	1	1	Aktif
Driver ke-2	1	0	1	Aktif
	0	1	1	Aktif
Driver ke-3	1	0	1	Aktif
	0	1	1	Aktif
Driver pertama	1	0	0	mati
	0	1	0	mati
Driver ke-2	1	0	0	mati
	0	1	0	mati
Driver ke-3	1	0	0	mati
	0	1	0	mati

Dari hasil percobaan pada table 4.7, di dapat berapa pun logika yang diberikan pada inputan 1 dan 2, jika enable berlogika “ 0” maka selenoid tidak akan aktif.

4.4 Pengujian Jalur Komunikasi Serial

4.4.1 Tujuan

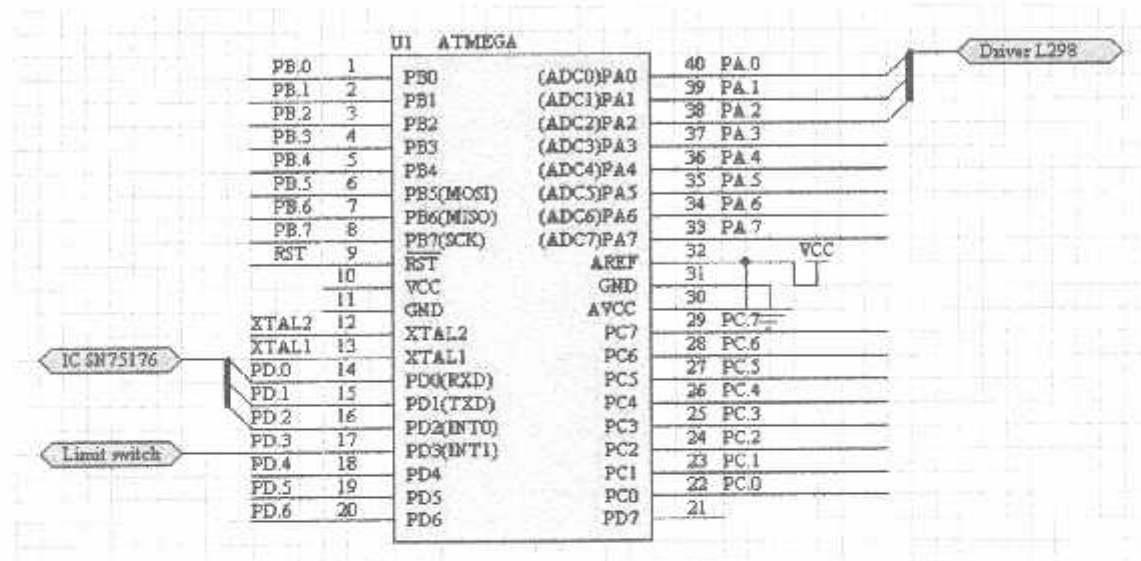
- 1. Untuk memastikan rangkaian komunikasi multidrop dapat berjalan baik mengetahui.
- 2. Memastikan komunikasi antara master dan slave berjalan baik.
- 3. Memastikan protokol komunikasi dapat berjalan.

4.4.2 Peralatan yang Dibutuhkan

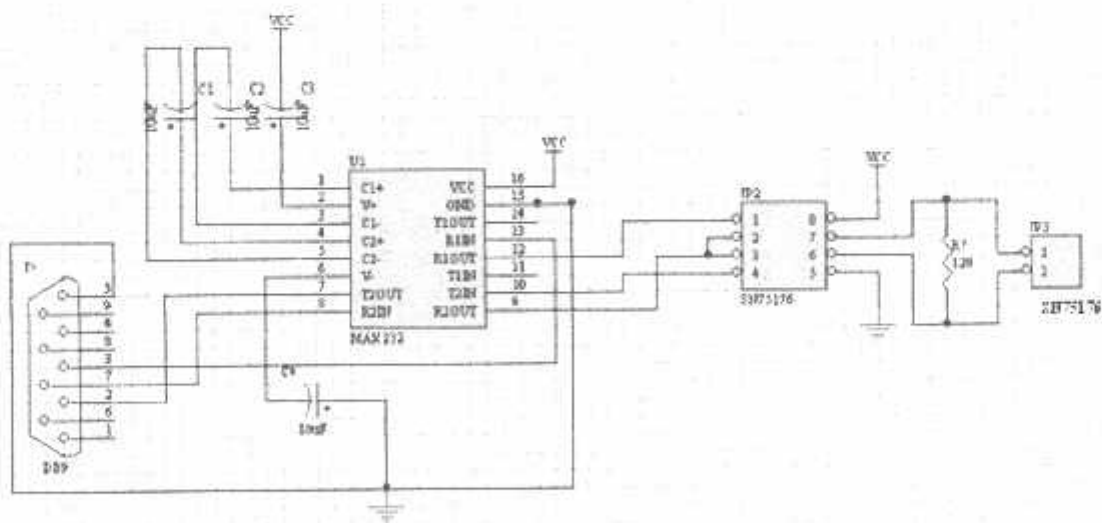
- Personal computer (PC)
  - Minimum System ATmega8535
  - Driver L298
  - Solenoid
  - Converter TTL to RS-485
  - Converter RS-232 to RS-485
-

#### 4.4.3 Langkah-Langkah Pengujian Rangkaian Konverter RS-232 to RS-485

1. Memasang rangkaian konverter RS-232 to RS-485.
2. Memasang rangkaian konverter TTL to RS-485.
3. Mengaktifkan catu daya.
4. Menjalankan program simulasi.
5. Mengamati pada solenoid, apakah solenoid akan aktif sesuai dengan logika yang di kirim ke mikrokontroler.



Gambar 4.6 Alokasi Mikrokontroler



Gambar 4.7 Converter RS-232 to RS-485

Table 4.8. Keterangan protokol komunikasi

START	ADDRESS	DATA	FUNCTION		END
			ON	OFF	
01	01/02/03	01	10	11	FF

Form1

GROUP MASTER

Lampu 1 ON

Lampu 2 ON

Lampu 3 ON

Lampu 4 ON

Lampu 5 ON

Lampu 1 OFF

Lampu 2 OFF

Lampu 3 OFF

Lampu 4 OFF

Lampu 5 OFF

Lampu6

ON

OFF

RESET

GROUP SLAVE

MAINTENANCE

L1 ON

L2 ON

L3 ON

RESET

L1 OFF

L2 OFF

L3 OFF

ADDRESS PANEL

1

Baris 1

Tulis LCD Baris 1

Baris 2

Tulis LCD Baris 2

PANEL 1 = 01 (Hexa)

Masukkan NIM

Request PIN

EXIT

CLEAR

01011001FF

ON

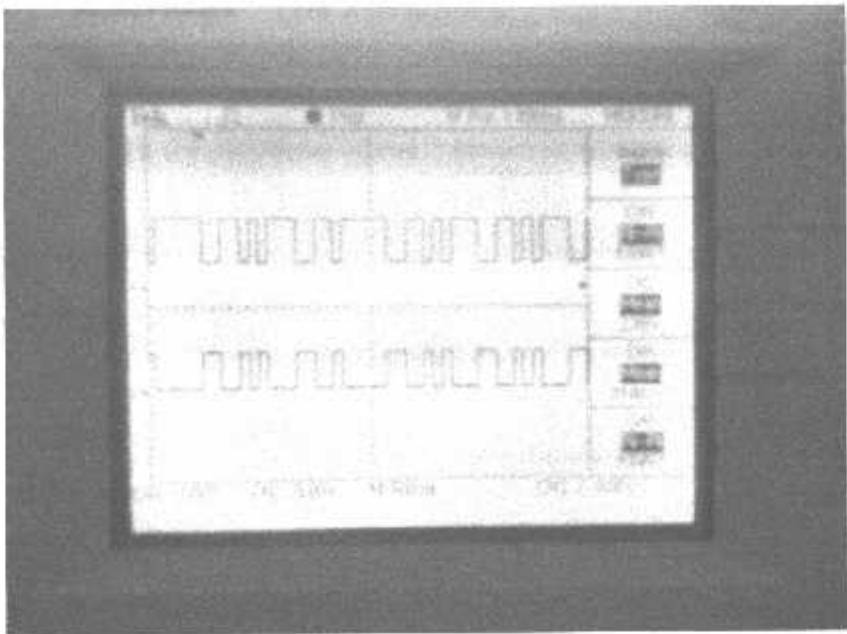
01011101FF

OFF

SET

CLR

Gambar 4.8 Form pengujian komunikasi serial RS-485



Gambar 4.9 Sinyal output dengan level RS-485

Ket : Time/Div = 500  $\mu$ s  
CH1/pin B (atas) V/Div = 1 V  
Ch1/Pin A (bawah) V/Div = 5 V

Tabel 4.9. Pengujian Komunikasi serial

Sclenoid	Pengiriman sukses (Y/T)	Error (Y/T)
1	Y	T
2	Y	T
3	Y	T
1	Y	T
2	Y	T
3	Y	T
1	Y	T
2	Y	T
3	Y	T

## 4.5 Pengujian Seluruh System

Pengujian seluruh sistem ini bertujuan untuk mengetahui unjuk kerja perangkat keras dan perangkat lunak. Hasil yang akan diamati yaitu proses pengambilan informasi dan pengolahan sidik jari yang dikerjakan menggunakan *Personal Computer (software)* serta pengujian pada loker sehingga apakah sesuai dengan alamat yang dituju. Pengambilan data pengujian keseluruhan system menggunakan sembilan buah identitas pemilik yang berbeda pada tiap laci.

### 4.5.1 Peralatan yang Dibutuhkan

- Personal computer (PC)
- Minimum System ATmega8535
- Driver L298
- Solenoid
- Converter TTL to RS-485
- Converter RS-232 to RS-485
- Fingerprint (mesin sidik jari)

### 4.5.2 Langkah yang dilakukan adalah sebagai berikut :

1. Menyusun rangkaian seperti gambar 4.6 dan gambar 4.7
2. Menyalakan PC.
3. Menghubungkan fingerprint dengan PC.
4. Mengaktifkan catu daya.
5. Menjalankan program aplikasi informasi dan pengolahan hasil sidik jari pada computer.
6. Mengamati pada loker apakah sesuai dengan identitas user/pengguna loker.

Tingkat keberhasilan sistem dihitung dengan membandingkan antara jumlah proses penyimpanan dan pengambilan barang titipan yang berjalan sukses dengan jumlah proses yang diujikan.

#### Langkah pengujian :

1. Seperti halnya langkah pertama adalah registrasi sidik jari *user*. Dalam meregistrasi data user menggunakan operator di mana operator sebagai penanggung jawab penggunaan loker. Yang memiliki wewenang dalam
-

meregistrasi ialah operator yang memiliki password untuk masuk dalam form registrasi.

The top screenshot shows the 'Finger Print Loker ITN' window with a menu bar (File, Info) and a table with columns 'Administrator' and 'Nama User'. The 'Administrator' column has buttons for 'Exit', '2', and '3'. The 'Nama User' column has the text 'helmi'. Below the table is a large button labeled 'Deteksi Finger.....'.

The bottom screenshot shows the same window with a 'Password' dialog box open. The dialog box has a 'Password' label, a text input field, and 'OK' and 'Cancel' buttons. Below the dialog box is a large button labeled 'Deteksi Finger.....'.

Gambar 4.10 Form Administrator

2. Selanjutnya dalam registrasi dilakukan penulisan nama dan menentukan loker berapa yang akan digunakan serta menggunakan sidik jari dengan fingerprint untuk menyimpan data user.

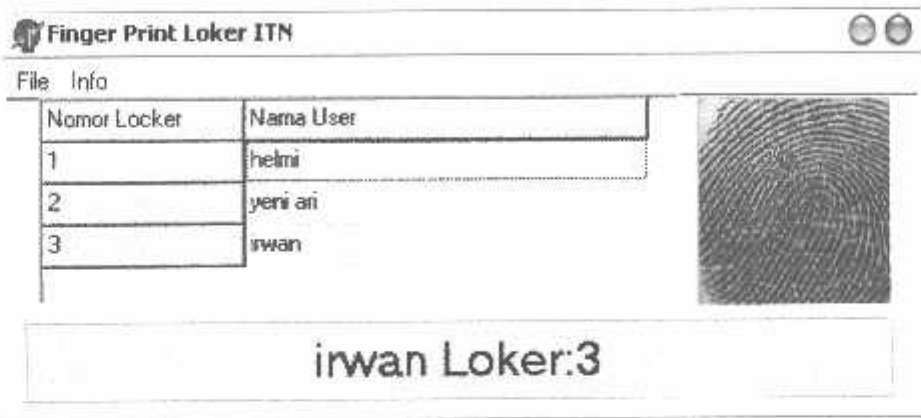
The left screenshot shows the 'Admin' window with a title bar 'Admin' and a close button. It has a section titled 'ADMINISTRATOR' with a list of users: 'helmi', 'jpl', 'kelingking', 'roni', 'tjik', and 'yeni ari'. To the right of the list are three buttons: 'Registrasi', 'Delete Fingerprint', and 'Chage Password'. At the bottom is a large 'OK' button.

The right screenshot shows the 'Registrasi Finger' window with a title bar 'Registrasi Finger' and a close button. It has fields for 'Nama / ID' (containing 'roni') and 'Posisi Loker' (containing '3'). To the right of these fields is a fingerprint image. Below the image is a dialog box titled 'Project1' with the text 'Registrasi Selesai' and an 'OK' button. At the bottom of the window are 'Start' and 'Cancel' buttons.

Gambar 4.11 Proses Registrasi Peminjaman Loker

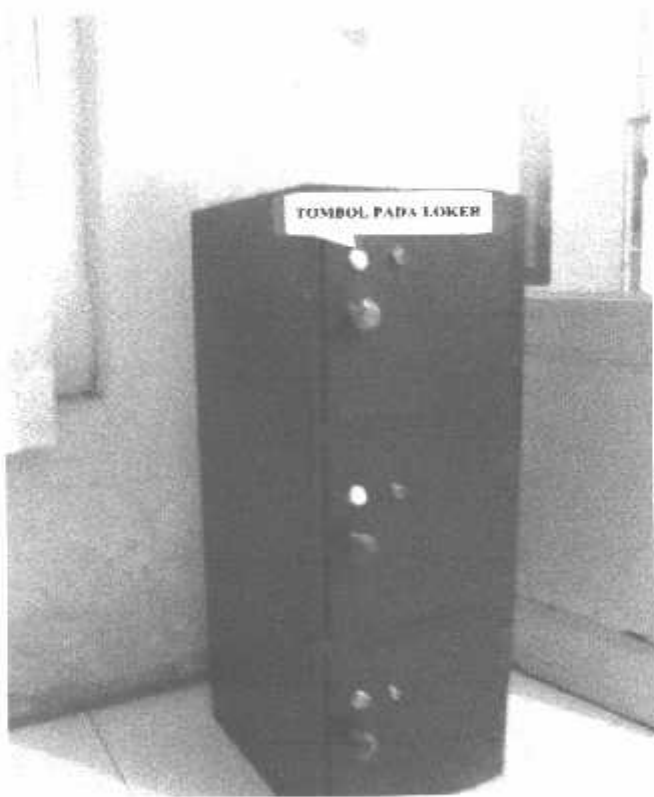


3. Setelah melakukan instruksi di atas, apabila user akan menggunakan loker tersebut, maka harus kembali menggunakan fingerprint terlebih dahulu. Jika proses ini sukses, maka mikrokontroler akan menunggu instruksi untuk membuka loker dengan menekan tombol pada loker tersebut.



Gambar 4.12 Proses Penggunaan Loker

4. User menyimpan barang titipannya ke dalam loker dan apabila akan menutup loker kembali, maka user harus menekan tombol tersebut untuk menonaktifkan solenoid.



Gambar 4.13 Loker Penitipan

Table 4.10. Pengujian Tingkat Keberhasilan

No.	Nama	Loker	Proses sukses (Y/T)		
			Registrasi	Penggunaan loker pertama	Penggunaan loker ke-2
1	Adam	1	Y	Y	Y
2	Tiko	2	Y	Y	Y
3	Iqbal	3	Y	Y	Y
4	Micky	1	Y	T	Y
5	Roni	2	Y	Y	Y
6	Yeni ari	3	Y	Y	T
7	Adi	1	Y	Y	Y
8	Helmi	2	Y	Y	Y
9	Ileri	3	Y	Y	Y

Berdasarkan data pada tabel Pengujian tingkat keberhasilan sistem, maka Tingkat keberhasilan (Tk) dapat dihitung sebagai berikut :

- Tingkat keberhasilan (TK) =  $\frac{\sum \text{Proses sukses}}{\sum \text{Proses di uji}} \times 100\%$   
 (registrasi)

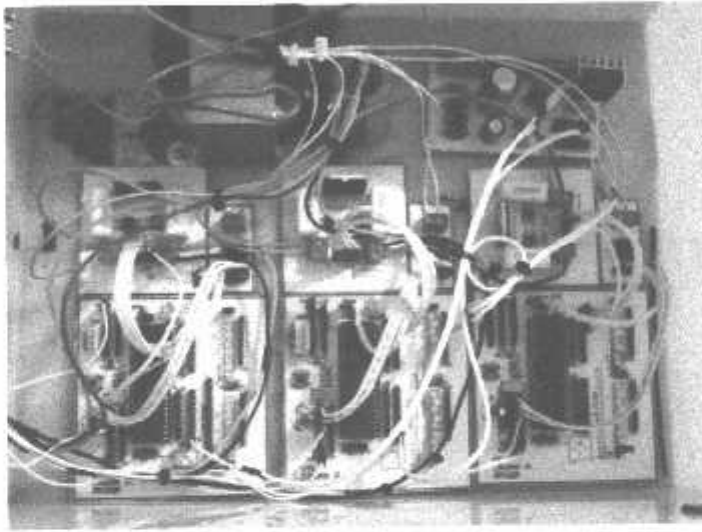
$$= \frac{9}{9} \times 100\% = 100\%$$
- Tingkat keberhasilan (TK) =  $\frac{\sum \text{Proses sukses}}{\sum \text{Proses di uji}} \times 100\%$   
 (penggunaan loker pertama)

$$= \frac{8}{9} \times 100\% = 89\%$$
- Tingkat keberhasilan (TK) =  $\frac{\sum \text{Proses sukses}}{\sum \text{Proses di uji}} \times 100\%$   
 (penggunaan loker ke-2)

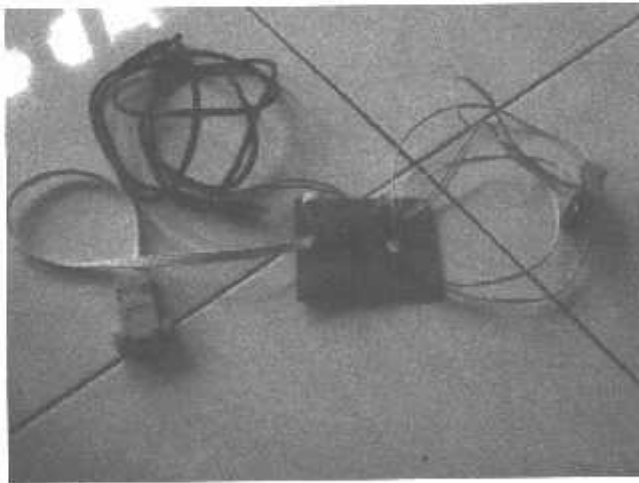
$$= \frac{8}{9} \times 100\% = 89\%$$

### 4.5.3 Hasil dan Analisa

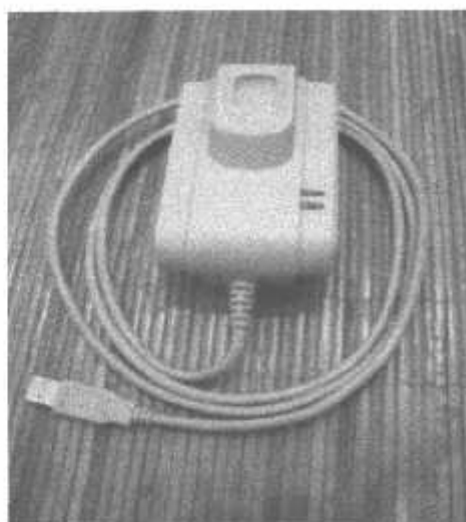
Hasil pengujian ini ditunjukkan pada Tabel 4.10. Proses registrasi, penyimpanan dan pengambilan barang titipan yang dilakukan pada pengujian ini sebanyak 27 kali. Pada *proses registrasi* yang berjalan sukses sebanyak 9 kali dan proses yang gagal tidak ada, sedangkan *proses penggunaan loker pertama* yang berjalan sukses 8 kali dan proses yang gagal sebanyak 1 kali, begitu pula *proses penggunaan loker ke-2* yang berjalan sukses 8 kali dan proses yang gagal sebanyak 1 kali,. Kegagalan proses penggunaan loker disebabkan karena pada saat penggunaan fingerprint, user tidak tepat dalam menempatkan sidik jari pada fingerprint sehingga tidak berhasil diidentifikasi.



**Gambar 4.14 Rangkaian Modul Keseluruhan**



**Gambar 4.15 Rangkaian Converter Rs-232 To Rs-485**



**Gambar 4.16 Fingerprind (mesin sidik jari)**



**Gambar 4.17 Loker Penitipan Barang**

## BAB V

### PENUTUP

#### 5.1 Kesimpulan

Setelah melakukan perencanaan dan pembuatan sistem kemudian dilakukan pengujian dan analisisnya, maka dapat diambil beberapa kesimpulan tentang sistem kerja loker, yaitu sebagai berikut:

1. Sistem penitipan barang dengan menggunakan sidik jari sebagai faktor pengaman dapat meningkatkan rasa aman dan nyaman bagi konsumen jasa penitipan barang.
2. Hasil pengujian proses registrasi, penyimpanan dan pengambilan barang titipan yang dilakukan pada pengujian ini sebanyak 27 kali. Pada *proses registrasi* peminjaman loker memiliki tingkat keberhasilan sistem dalam skripsi ini adalah 100%, sedangkan *proses penggunaan loker pertama* memiliki tingkat keberhasilan system adalah 89%, begitu juga *proses penggunaan loker ke-2* memiliki tingkat keberhasilan system adalah 89%.
3. Sistem masih tergantung pada input dari PC sehingga pengambilan keputusan tergantung sepenuhnya dari PC dalam pengenalan sidik jari

#### 5.2 Saran

Alat yang dibuat ini masih memiliki keterbatasan, nantinya diharapkan dapat dikembangkan untuk mengatasi keterbatasan itu. Sehingga mendapatkan alat yang diharapkan dapat mendekati alat yang ideal

1. Sistem mekanik diharapkan memiliki kinerja yang lebih cepat.
2. Sistem diharapkan tidak tergantung pada PC pada saat operasional karena rentan terhadap pembobolan sistem keamanan.
3. Sistem hendaknya memiliki peralatan atau media pembuka secara non-elektrik agar masih dapat dioperasikan saat catu daya mati.
4. Tampilan luar loker hendaknya dibuat lebih menarik.
5. Penempatan rangkaian system lebih simple pada loker masing-masing.

## DAFTAR PUSTAKA

- [1] Andriawan Eka Putera, Okky. Rancang Bangun Electroencephalograph (EEG) Sebagai Perekam dan Pendeteksi Sinyal Biolistrik Otak Yang Terintegrasi dengan Personal Komputer Berbasis Mikrokontroller ATmega8535. Skripsi Jurusan Teknik Elektro S-1-ITN, Malang: Februari 2011.
  - [2] Imam Afandi, Moh. Pembuatan Remote I/O 16 Kanal Digital Input Menggunakan Protokol Modbus RTU Berbasis Mikrokontroler AT89S51. (<http://imamprofile.files.wordpress.com/.../ppi-kim-2010-pembuatan-remote-io-digital-input-menggunakan-protokol-modbus-rtu-berbasis-mikrokontroler-at89s51.pdf>, di akses 20 mei 2011)
  - [3] Lingga Wardana.2006. Belajar Sendiri Mikrokontroller Seri AVR, Simulasi dan Hard Ware.Yogyakarta: Andi
  - [4] Pranadipta, Bisma. Perancangan dan Pembuatan Robot dengan Pengendalian Motor DC Menggunakan *Relative / Incremental Rotary Encoder* Berbasis *Atmega 16*, Skripsi Jurusan Teknik Elektro S-1-ITN, Malang: Februari 2011.
  - [5] Nurdila Riantiningsih, Wahyu.2009. Pengamanan Rumah Berbasis Microcontroller Atmega 8535 Dengan Sistem Informasi Dengan Menggunakan PC. ([http:// repository.usu.ac.id/bitstream/123456789/14230/1/09e02814.pdf](http://repository.usu.ac.id/bitstream/123456789/14230/1/09e02814.pdf), di akscs 20 mei 2011)
  - [6] Tiyono, Agus. 2007. Sistem Telckontrol Scada Dengan Fungsi Dasar Modbus Menggunakan Mikrokontroler AT89S51 dan Komunikasi Serial RS485. (<http://eprints.undip.ac.id/25348/1/ml2f001573.pdf>, di akses 20 mei 2011)
  - [7] <http://www.fingerx.com/document/nac3000-proposal.pdf>
  - [8] <http://www.atmel.com>.
  - [9] <http://www.alldatasheet.com>
-



## FORMULIR PERBAIKAN SKRIPSI

Dalam pelaksanaan ujian skripsi jenjang Strata 1 Jurusan Teknik Elektro Konsentrasi Teknik Elektronika, maka perlu adanya perbaikan skripsi untuk mahasiswa :

Nama : IRWAN PRASETYO  
Nim : 06.12.226  
Jurusan : Teknik Elektro S-1  
Konsentrasi : Teknik Elektronika  
Judul : **RANCANG BANGUN SISTEM LOKER PENITIPAN  
BARANG BERBASIS MIKROKONTROLER ATMEGA8535**

No.	Penguji	Tanggal	Uraian	Paraf
1	Penguji I	20/08/2011	1. System registrasi dan system unregistrasi	
2	Penguji II	20/08/2011		

Disetujui :

Penguji I

I Komang Somawirata, ST, MT  
NIP.Y.1030100361

Penguji II

Ir. Eko Nurcahyo  
NIP.Y.1028700172

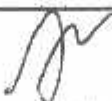
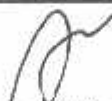
Mengetahui :

Dosen Pembimbing

Dr. Eng. Aryuanto Soetedjo, ST, MT  
NIP.Y.1030800417

## **FORMULIR BIMBINGAN SKRIPSI**

Nama : IRWAN PRASETYO  
 Nim : 06.12.226  
 Masa Bimbingan : 19 November 2010 S/D 19 Mei 2011 *04*  
 Judul Skripsi : **RANCANG BANGUN SISTEM LOKER PENITIPAN BARANG BERBASIS MIKROKONTROLLER ATMEGA8535**

No.	Tanggal	Uraian	Paraf Pembimbing
1.	12/09/2011	Konsultasi pembuatan alat	
2.	10/05/2011	Konsultasi perubahan pada alat	
3.			
4.			
5.			
6.			
7.			
8.			
9.			
10.			

Malang,  
 Dosen Pembimbing,

  
**(DR. Aryuanto Soetedjo, ST, MT)**  
**NIP. 163 080 0417**

Form.S-4b





## FORMULIR BIMBINGAN SKRIPSI

Nama : IRWAN PRASETYO  
Nim : 06.12.226  
Masa Bimbingan : 19 Mei 2011 s/d 19 November 2011 *19/11*  
Judul Skripsi : RANCANG BANGUN SISTEM LOKER PENITIPAN BARANG  
BERBASIS MIKROKONTROLER ATMEGA8535

NO.	TANGGAL	URAIAN	PARAF PEMBIMBING
1.	27/06/2011	Bimbingan laporan Bab I, II	<i>[Signature]</i>
2.	06/07/2011	Bimbingan laporan Bab III, IV	<i>[Signature]</i>
3.	12/07/2011	Bimbingan Makalah Seminar Hasil	<i>[Signature]</i>
4.	14/07/2011	Bimbingan laporan Bab IV	<i>[Signature]</i>
5.			
6.			
7.			
8.			
9.			
10.			

Malang,

Dosen Pembimbing

Dr. Eng. Arnyanto Soetedjo, ST, MT  
NIP. Y. 103 080 0417

Form S-4B

**Features**

- High-performance, Low-power AVR® 8-bit Microcontroller
- Advanced RISC Architecture
- 130 Powerful Instructions – Most Single Clock Cycle Execution
  - 32 x 8 General Purpose Working Registers
  - Fully Static Operation
  - Up to 16 MIPS Throughput at 16 MHz
  - On-chip 2-cycle Multiplier
- Nonvolatile Program and Data Memories
- 8K Bytes of In-System Self-Programmable Flash
    - Endurance: 10,000 Write/Erase Cycles
  - Optional Boot Code Section with Independent Lock Bits
    - In-System Programming by On-chip Boot Program
    - True Read-While-Write Operation
  - 512 Bytes EEPROM
    - Endurance: 100,000 Write/Erase Cycles
  - 512 Bytes Internal SRAM
  - Programming Lock for Software Security
- Peripheral Features
- Two 8-bit Timer/Counters with Separate Prescalers and Compare Modes
  - One 16-bit Timer/Counter with Separate Prescaler, Compare Mode, and Capture Mode
  - Real Time Counter with Separate Oscillator
  - Four PWM Channels
  - 8-channel, 10-bit ADC
    - 8 Single-ended Channels
    - 7 Differential Channels for TQFP Package Only
    - 2 Differential Channels with Programmable Gain at 1x, 10x, or 200x for TQFP Package Only
  - Byte-oriented Two-wire Serial Interface
  - Programmable Serial USART
  - Master/Slave SPI Serial Interface
  - Programmable Watchdog Timer with Separate On-chip Oscillator
  - On-chip Analog Comparator
- Special Microcontroller Features
- Power-on Reset and Programmable Brown-out Detection
  - Internal Calibrated RC Oscillator
  - External and Internal Interrupt Sources
  - Six Sleep Modes: Idle, ADC Noise Reduction, Power-save, Power-down, Standby and Extended Standby
- I/O and Packages
- 32 Programmable I/O Lines
  - 40-pin PDIP, 44-lead TQFP, 44-lead PLCC, and 44-pad QFN/MLF
- Operating Voltages
- 2.7 - 5.5V for ATmega8535L
  - 4.5 - 5.5V for ATmega8535
- Speed Grades
- 0 - 8 MHz for ATmega8535L
  - 0 - 16 MHz for ATmega8535



**8-bit AVR®  
Microcontroller  
with 8K Bytes  
In-System  
Programmable  
Flash**

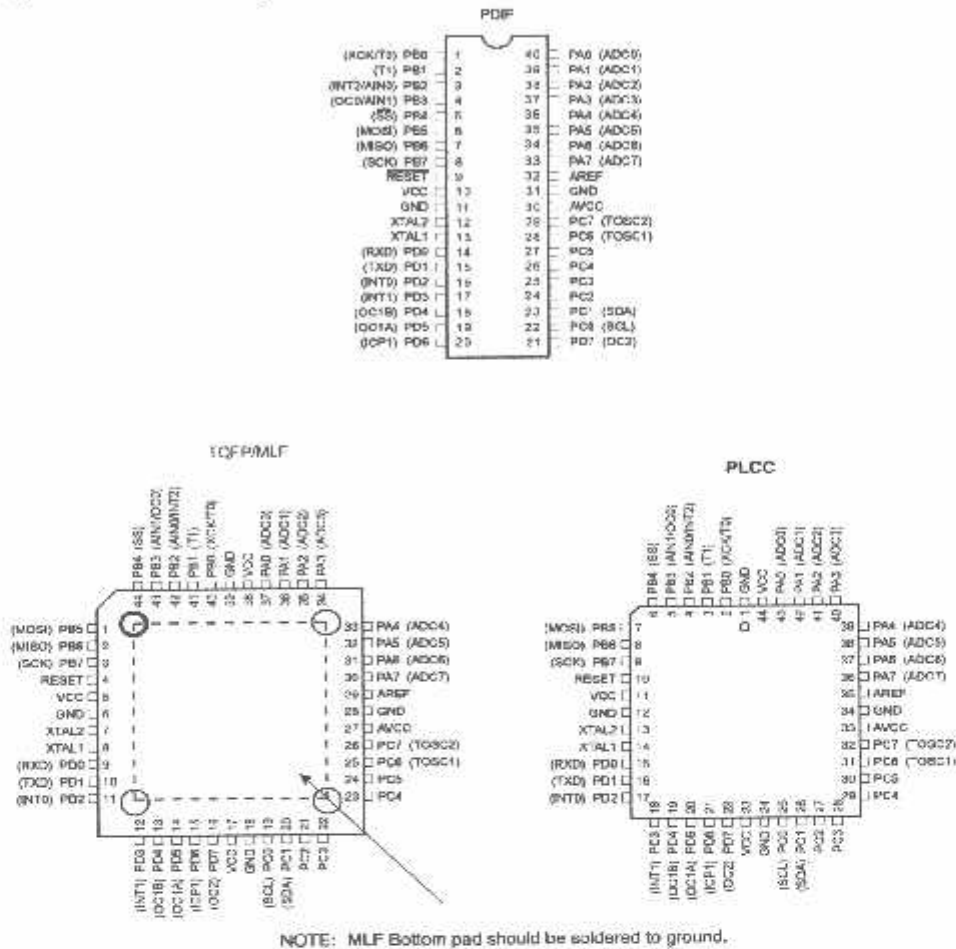
**ATmega8535  
ATmega8535L**





Pin Configurations

Figure 1. Pinout ATmega8535



NOTE: MLF Bottom pad should be soldered to ground.

Disclaimer

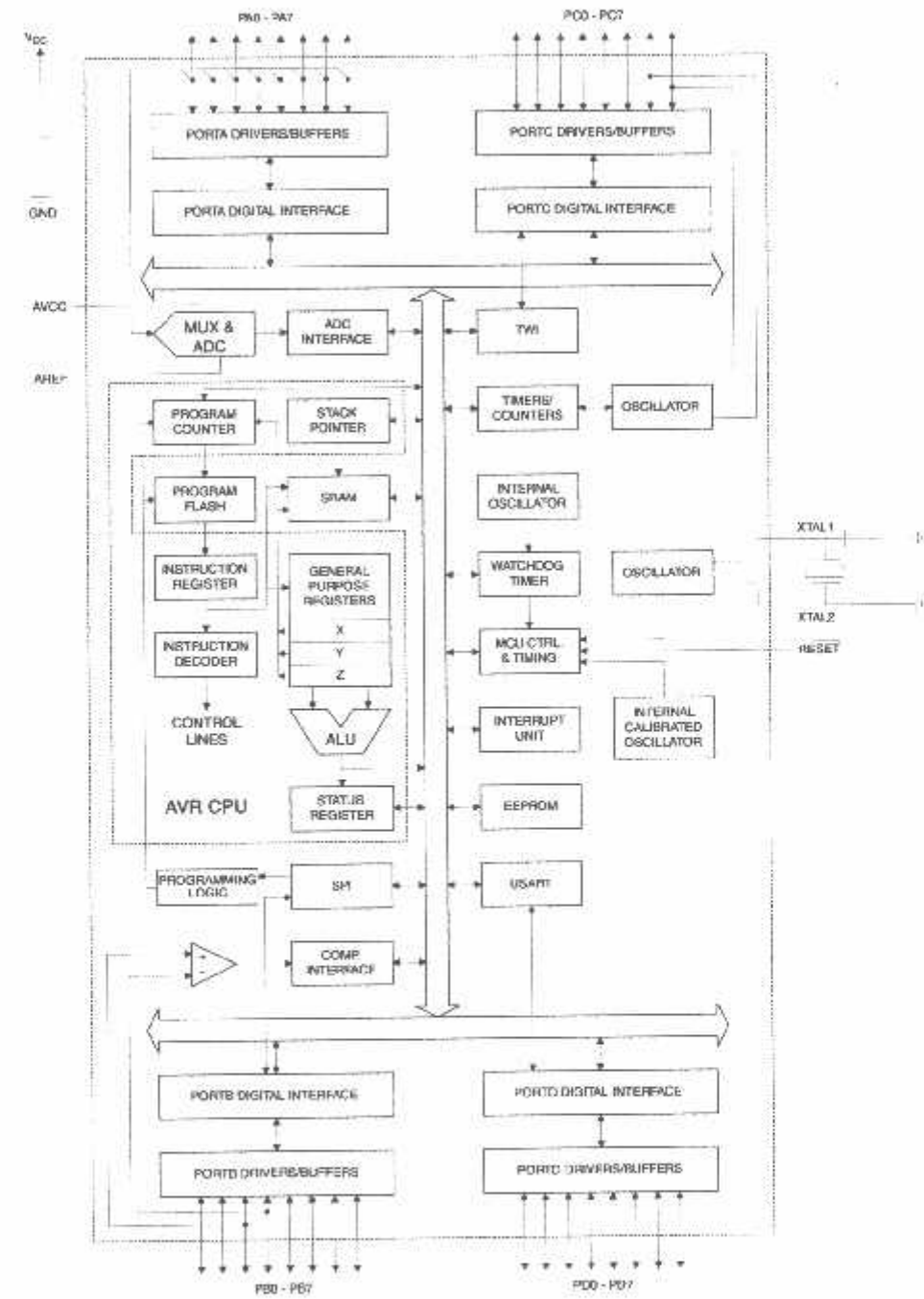
Typical values contained in this data sheet are based on simulations and characterization of other AVR microcontrollers manufactured on the same process technology. Min and Max values will be available after the device is characterized.

## Overview

The ATmega8535 is a low-power CMOS 8-bit microcontroller based on the AVR enhanced RISC architecture. By executing instructions in a single clock cycle, the ATmega8535 achieves throughputs approaching 1 MIPS per MHz allowing the system designer to optimize power consumption versus processing speed.

## Block Diagram

Figure 2. Block Diagram





The AVR core combines a rich instruction set with 32 general purpose working registers. All 32 registers are directly connected to the Arithmetic Logic Unit (ALU), allowing two independent registers to be accessed in one single instruction executed in one clock cycle. The resulting architecture is more code efficient while achieving throughputs up to ten times faster than conventional CISC microcontrollers.

The ATmega8535 provides the following features: 8K bytes of In-System Programmable Flash with Read-While-Write capabilities, 512 bytes EEPROM, 512 bytes SRAM, 32 general purpose I/O lines, 32 general purpose working registers, three flexible Timer/Counters with compare modes, internal and external interrupts, a serial programmable USART, a byte oriented Two-wire Serial Interface, an 8-channel, 10-bit ADC with optional differential input stage with programmable gain in TQFP package, a programmable Watchdog Timer with Internal Oscillator, an SPI serial port, and six software selectable power saving modes. The Idle mode stops the CPU while allowing the SRAM, Timer/Counters, SPI port, and interrupt system to continue functioning. The Power-down mode saves the register contents but freezes the Oscillator, disabling all other chip functions until the next interrupt or Hardware Reset. In Power-save mode, the asynchronous timer continues to run, allowing the user to maintain a timer base while the rest of the device is sleeping. The ADC Noise Reduction mode stops the CPU and all I/O modules except asynchronous timer and ADC, to minimize switching noise during ADC conversions. In Standby mode, the crystal/resonator Oscillator is running while the rest of the device is sleeping. This allows very fast start-up combined with low-power consumption. In Extended Standby mode, both the main Oscillator and the asynchronous timer continue to run.

The device is manufactured using Atmel's high density nonvolatile memory technology. The On-chip ISP Flash allows the program memory to be reprogrammed In-System through an SPI serial interface, by a conventional nonvolatile memory programmer, or by an On-chip Boot program running on the AVR core. The boot program can use any interface to download the application program in the Application Flash memory. Software in the Boot Flash section will continue to run while the Application Flash section is updated, providing true Read-While-Write operation. By combining an 8-bit RISC CPU with In-System Self-Programmable Flash on a monolithic chip, the Atmel ATmega8535 is a powerful microcontroller that provides a highly flexible and cost effective solution to many embedded control applications.

The ATmega8535 AVR is supported with a full suite of program and system development tools including: C compilers, macro assemblers, program debugger/simulators, In-Circuit Emulators, and evaluation kits.

## AT90S8535 Compatibility

The ATmega8535 provides all the features of the AT90S8535. In addition, several new features are added. The ATmega8535 is backward compatible with AT90S8535 in most cases. However, some incompatibilities between the two microcontrollers exist. To solve this problem, an AT90S8535 compatibility mode can be selected by programming the S8535C fuse. ATmega8535 is pin compatible with AT90S8535, and can replace the AT90S8535 on current Printed Circuit Boards. However, the location of fuse bits and the electrical characteristics differs between the two devices.

### AT90S8535 Compatibility Mode

Programming the S8535C fuse will change the following functionality:

- The timed sequence for changing the Watchdog Time-out period is disabled. See "Timed Sequences for Changing the Configuration of the Watchdog Timer" on page 45 for details.
- The double buffering of the USART Receive Register is disabled. See "AVR USART vs. AVR UART – Compatibility" on page 146 for details.

## ATmega8535(L)

2502K-AVR-10/06

## Pin Descriptions

<b>V<sub>CC</sub></b>	Digital supply voltage.
<b>IND</b>	Ground.
<b>Port A (PA7..PA0)</b>	<p>Port A serves as the analog inputs to the A/D Converter.</p> <p>Port A also serves as an 8-bit bi-directional I/O port, if the A/D Converter is not used. Port pins can provide internal pull-up resistors (selected for each bit). The Port A output buffers have symmetrical drive characteristics with both high sink and source capability. When pins PA0 to PA7 are used as inputs and are externally pulled low, they will source current if the internal pull-up resistors are activated. The Port A pins are tri-stated when a reset condition becomes active, even if the clock is not running.</p>
<b>Port B (PB7..PB0)</b>	<p>Port B is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port B output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port B pins that are externally pulled low will source current if the pull-up resistors are activated. The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.</p> <p>Port B also serves the functions of various special features of the ATmega8535 as listed on page 60.</p>
<b>Port C (PC7..PC0)</b>	<p>Port C is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port C output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port C pins that are externally pulled low will source current if the pull-up resistors are activated. The Port C pins are tri-stated when a reset condition becomes active, even if the clock is not running.</p>
<b>Port D (PD7..PD0)</b>	<p>Port D is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port D output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port D pins that are externally pulled low will source current if the pull-up resistors are activated. The Port D pins are tri-stated when a reset condition becomes active, even if the clock is not running.</p> <p>Port D also serves the functions of various special features of the ATmega8535 as listed on page 64.</p>
<b><math>\overline{\text{RESET}}</math></b>	Reset input. A low level on this pin for longer than the minimum pulse length will generate a reset, even if the clock is not running. The minimum pulse length is given in Table 15 on page 37. Shorter pulses are not guaranteed to generate a reset.
<b>AL1</b>	Input to the inverting Oscillator amplifier and input to the internal clock operating circuit.
<b>AL2</b>	Output from the inverting Oscillator amplifier.
<b>V<sub>CC</sub></b>	AVCC is the supply voltage pin for Port A and the A/D Converter. It should be externally connected to V <sub>CC</sub> , even if the ADC is not used. If the ADC is used, it should be connected to V <sub>CC</sub> through a low-pass filter.
<b>AREF</b>	AREF is the analog reference pin for the A/D Converter.



## Resources

A comprehensive set of development tools, application notes and datasheets are available for download on <http://www.atmel.com/avr>.

**ATmega8535(L)**



2502K-AVR-10/08

## About Code Examples

This documentation contains simple code examples that briefly show how to use various parts of the device. These code examples assume that the part specific header file is included before compilation. Be aware that not all C compiler vendors include bit definitions in the header files and interrupt handling in C is compiler dependent. Please confirm with the C Compiler documentation for more details.



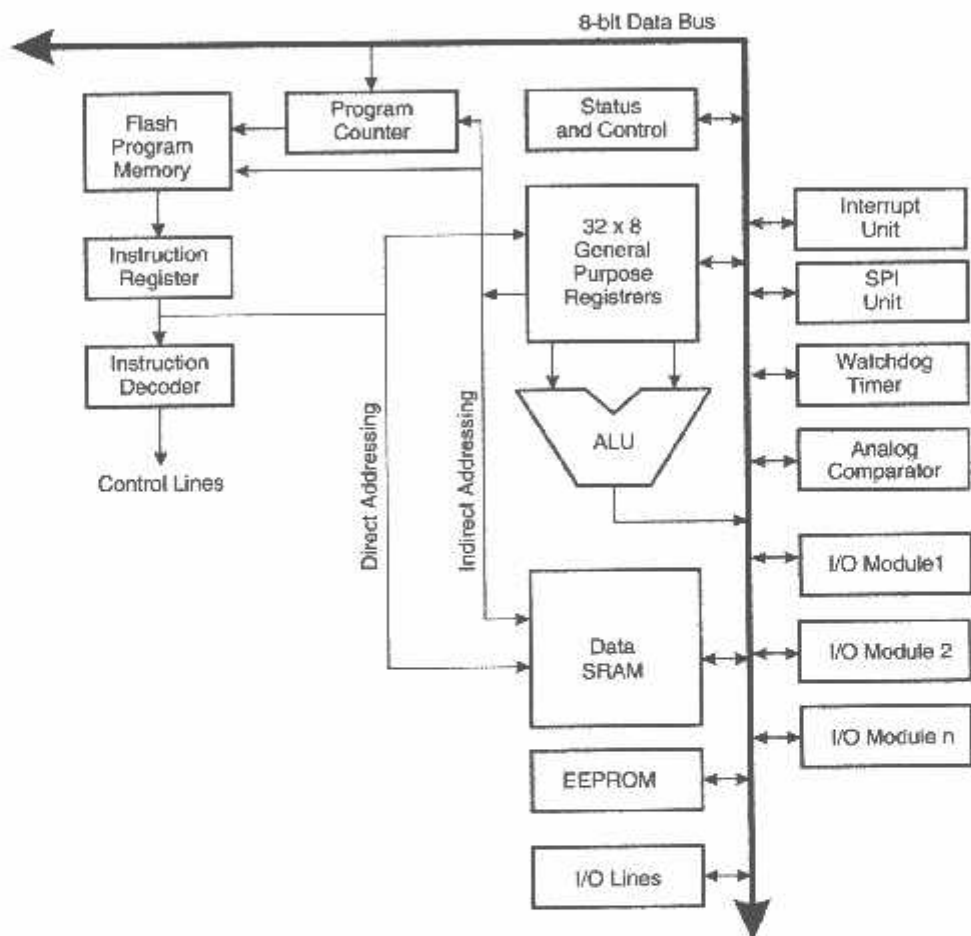
# AVR CPU Core

## Introduction

This section discusses the AVR core architecture in general. The main function of the CPU core is to ensure correct program execution. The CPU must therefore be able to access memories, perform calculations, control peripherals, and handle interrupts.

## Architectural Overview

**Figure 3.** Block Diagram of the AVR MCU Architecture



In order to maximize performance and parallelism, the AVR uses a Harvard architecture – with separate memories and buses for program and data. Instructions in the program memory are executed with a single level pipelining. While one instruction is being executed, the next instruction is pre-fetched from the program memory. This concept enables instructions to be executed in every clock cycle. The program memory is In-System Re-Programmable Flash memory.

The fast-access Register File contains 32 x 8-bit general purpose working registers with a single clock cycle access time. This allows single-cycle Arithmetic Logic Unit (ALU) operation. In a typical ALU operation, two operands are output from the Register File, the operation is executed, and the result is stored back in the Register File – in one clock cycle.

Six of the 32 registers can be used as three 16-bit indirect address register pointers for Data Space addressing – enabling efficient address calculations. One of these address pointers can also be used as an address pointer for look up tables in Flash program memory. These added function registers are the 16-bit X-, Y-, and Z-registers, described later in this section.

The ALU supports arithmetic and logic operations between registers or between a constant and a register. Single register operations can also be executed in the ALU. After an arithmetic operation, the Status Register is updated to reflect information about the result of the operation.

Program flow is provided by conditional and unconditional jump and call instructions, able to directly address the whole address space. Most AVR instructions have a single 16-bit word format. Every program memory address contains a 16- or 32-bit instruction.

Program Flash memory space is divided in two sections, the Boot Program section and the Application Program section. Both sections have dedicated Lock bits for write and read/write protection. The SPM instruction that writes into the Application Flash memory section must reside in the Boot Program section.

During interrupts and subroutine calls, the return address Program Counter (PC) is stored on the Stack. The Stack is effectively allocated in the general data SRAM, and consequently the Stack size is only limited by the total SRAM size and the usage of the SRAM. All user programs must initialize the SP in the reset routine (before subroutines or interrupts are executed). The Stack Pointer SP is read/write accessible in the I/O space. The data SRAM can easily be accessed through the five different addressing modes supported in the AVR architecture.

The memory spaces in the AVR architecture are all linear and regular memory maps.

A flexible interrupt module has its control registers in the I/O space with an additional Global Interrupt Enable bit in the Status Register. All interrupts have a separate Interrupt Vector in the Interrupt Vector table. The interrupts have priority in accordance with their Interrupt Vector position. The lower the Interrupt Vector address, the higher the priority.

The I/O memory space contains 64 addresses for CPU peripheral functions as Control Registers, SPI, and other I/O functions. The I/O Memory can be accessed directly, or as the Data Space locations following those of the Register File, 0x20 - 0x5F.

## LU – Arithmetic Logic Unit

The high-performance AVR ALU operates in direct connection with all the 32 general purpose working registers. Within a single clock cycle, arithmetic operations between general purpose registers or between a register and an immediate are executed. The ALU operations are divided into three main categories – arithmetic, logical, and bit-functions. Some implementations of the architecture also provide a powerful multiplier supporting both signed/unsigned multiplication and fractional format. See the “Instruction Set” section for a detailed description.



**Status Register**

The Status Register contains information about the result of the most recently executed arithmetic instruction. This information can be used for altering program flow in order to perform conditional operations. Note that the Status Register is updated after all ALU operations, as specified in the Instruction Set Reference. This will, in many cases, remove the need for using the dedicated compare instructions, resulting in faster and more compact code.

The Status Register is not automatically stored when entering an interrupt routine and restored when returning from an interrupt. This must be handled by software.

The AVR Status Register – SREG – is defined as:

Bit	7	6	5	4	3	2	1	0	
	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7 – I: Global Interrupt Enable**

The Global Interrupt Enable bit must be set for the interrupts to be enabled. The individual interrupt enable control is then performed in separate control registers. If the Global Interrupt Enable Register is cleared, none of the interrupts are enabled independent of the individual interrupt enable settings. The I-bit is cleared by hardware after an interrupt has occurred, and is set by the RETI instruction to enable subsequent interrupts. The I-bit can also be set and cleared by the application with the SEI and CLI instructions, as described in the instruction set reference.

• **Bit 6 – T: Bit Copy Storage**

The Bit Copy instructions BLD (Bit Load) and BST (Bit Store) use the T-bit as source or destination for the operated bit. A bit from a register in the Register file can be copied into T by the BST instruction, and a bit in T can be copied into a bit in a register in the Register File by the BLD instruction.

• **Bit 5 – H: Half Carry Flag**

The Half Carry Flag H indicates a Half Carry in some arithmetic operations. Half carry is useful in BCD arithmetic. See the "Instruction Set Description" for detailed information.

• **Bit 4 – S: Sign Bit,  $S = N \oplus V$**

The S-bit is always an exclusive or between the Negative Flag N and the Two's Complement Overflow Flag V. See the "Instruction Set Description" for detailed information.

• **Bit 3 – V: Two's Complement Overflow Flag**

The Two's Complement Overflow Flag V supports two's complement arithmetics. See the "Instruction Set Description" for detailed information.

• **Bit 2 – N: Negative Flag**

The Negative Flag N indicates a negative result in an arithmetic or logic operation. See the "Instruction Set Description" for detailed information.

• **Bit 1 – Z: Zero Flag**

The Zero Flag Z indicates a zero result in an arithmetic or logic operation. See the "Instruction Set Description" for detailed information.

• **Bit 0 – C: Carry Flag**

The Carry Flag C indicates a carry in an arithmetic or logic operation. See the "Instruction Set Description" for detailed information.

General Purpose  
Register File

The Register File is optimized for the AVR Enhanced RISC instruction set. In order to achieve the required performance and flexibility, the following input/output schemes are supported by the Register File:

- One 8-bit output operand and one 8-bit result input
- Two 8-bit output operands and one 8-bit result input
- Two 8-bit output operands and one 16-bit result input
- One 16-bit output operand and one 16-bit result input

Figure 4 shows the structure of the 32 general purpose working registers in the CPU.

Figure 4. AVR CPU General Purpose Working Registers

General Purpose Working Registers	7	0	Addr.	
	R0		0x00	
	R1		0x01	
	R2		0x02	
	...			
	R13		0x0D	
	R14		0x0E	
	R15		0x0F	
	R16		0x10	
	R17		0x11	
	...			
	R26		0x1A	X-register Low Byte
	R27		0x1B	X-register High Byte
	R28		0x1C	Y-register Low Byte
	R29		0x1D	Y-register High Byte
	R30		0x1E	Z-register Low Byte
	R31		0x1F	Z-register High Byte

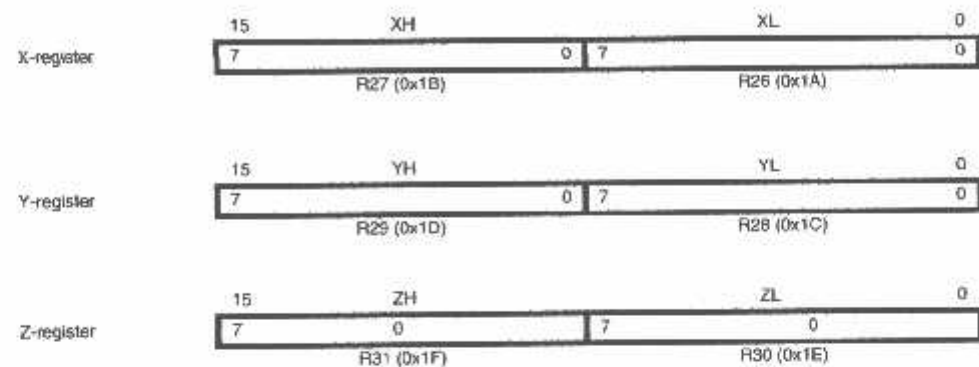
Most of the instructions operating on the Register File have direct access to all registers, and most of them are single cycle instructions.

As shown in Figure 4, each register is also assigned a data memory address, mapping them directly into the first 32 locations of the user Data Space. Although not being physically implemented as SRAM locations, this memory organization provides great flexibility in access of the registers, as the X-, Y-, and Z-pointer Registers can be set to index any register in the file.

# The X-register, Y-register, and Z-register

The registers R26..R31 have some added functions to their general purpose usage. These registers are 16-bit address pointers for indirect addressing of the Data Space. The three indirect address registers X, Y, and Z are defined as described in Figure 5.

Figure 5. The X-, Y-, and Z-registers



In the different addressing modes, these address registers have functions as fixed displacement, automatic increment, and automatic decrement (see the instruction set reference for details).

# Stack Pointer

The Stack is mainly used for storing temporary data, for storing local variables and for storing return addresses after interrupts and subroutine calls. The Stack Pointer Register always points to the top of the Stack. Note that the Stack is implemented as growing from higher memory locations to lower memory locations. This implies that a Stack PUSH command decreases the Stack Pointer.

The Stack Pointer points to the data SRAM Stack area where the Subroutine and Interrupt Stacks are located. This Stack space in the data SRAM must be defined by the program before any subroutine calls are executed or interrupts are enabled. The Stack Pointer must be set to point above 0x60. The Stack Pointer is decremented by one when data is pushed onto the Stack with the PUSH instruction, and it is decremented by two when the return address is pushed onto the Stack with subroutine call or interrupt. The Stack Pointer is incremented by one when data is popped from the Stack with the POP instruction, and it is incremented by two when data is popped from the Stack with return from subroutine RET or return from interrupt RETI.

The AVR Stack Pointer is implemented as two 8-bit registers in the I/O space. The number of bits actually used is implementation dependent. Note that the data space in some implementations of the AVR architecture is so small that only SPL is needed. In this case, the SPH Register will not be present.

Bit	15	14	13	12	11	10	9	8	
	-	-	-	-	-	-	SPH	SPH	SPH
	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
	7	6	5	4	3	2	1	0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

### Instruction Execution Timing

This section describes the general access timing concepts for instruction execution. The AVR CPU is driven by the CPU clock  $clk_{CPU}$ , directly generated from the selected clock source for the chip. No internal clock division is used.

Figure 6 shows the parallel instruction fetches and instruction executions enabled by the Harvard architecture and the fast-access Register File concept. This is the basic pipelining concept to obtain up to 1 MIPS per MHz with the corresponding unique results for functions per cost, functions per clocks, and functions per power-unit.

**Figure 6.** The Parallel Instruction Fetches and Instruction Executions

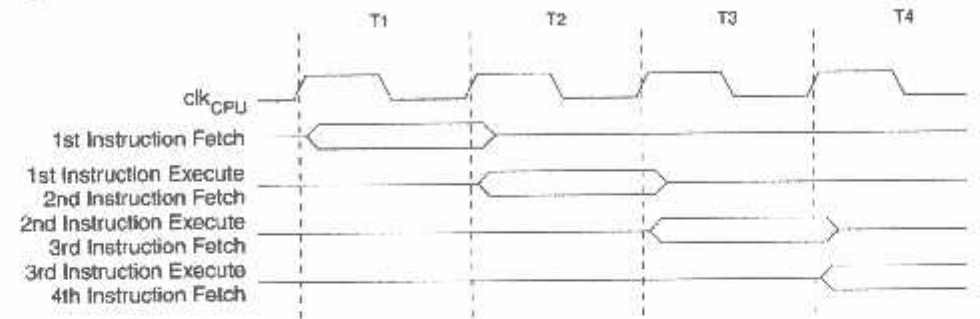
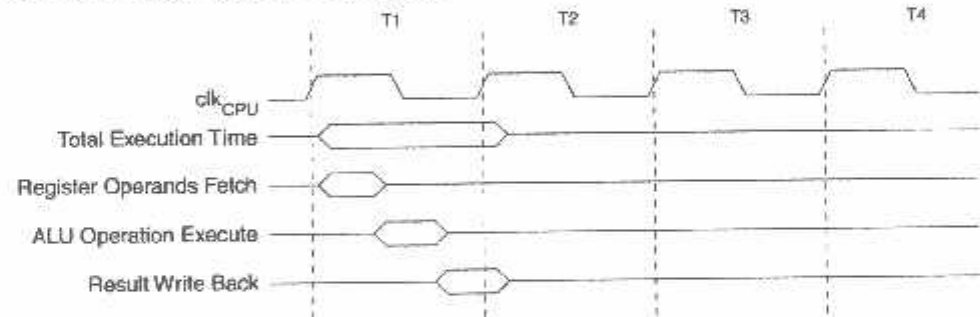


Figure 7 shows the internal timing concept for the Register file. In a single clock cycle an ALU operation using two register operands is executed, and the result is stored back to the destination register.

**Figure 7.** Single Cycle ALU Operation



### Reset and Interrupt Handling

The AVR provides several different interrupt sources. These interrupts and the separate Reset Vector each have a separate Program Vector in the program memory space. All interrupts are assigned individual enable bits which must be written logic one together with the Global Interrupt Enable bit in the Status Register in order to enable the interrupt. Depending on the Program Counter value, interrupts may be automatically disabled when Boot Lock bits BLB02 or BLB12 are programmed. This feature improves software security. See the section "Memory Programming" on page 237 for details.

The lowest addresses in the program memory space are, by default, defined as the Reset and Interrupt Vectors. The complete list of vectors is shown in "Interrupts" on page 46. The list also determines the priority levels of the different interrupts. The lower the address, the higher the priority level is. RESET has the highest priority, and next is INT0 – the External Interrupt Request 0. The Interrupt Vectors can be moved to the start of the Boot Flash section by setting the IVSEL bit in the General Interrupt Control Register (GICR). Refer to "Interrupts" on page 46 for more information. The Reset Vector can





also be moved to the start of the Boot Flash section by programming the BOOTRST Fuse, see "Boot Loader Support – Read-While-Write Self-Programming" on page 224.

When an interrupt occurs, the Global Interrupt Enable I-bit is cleared and all interrupts are disabled. The user software can write logic one to the I-bit to enable nested interrupts. All enabled interrupts can then interrupt the current interrupt routine. The I-bit is automatically set when a Return from Interrupt instruction – RETI – is executed.

There are basically two types of interrupts. The first type is triggered by an event that sets the interrupt flag. For these interrupts, the Program Counter is vectored to the actual Interrupt Vector in order to execute the interrupt handling routine, and hardware clears the corresponding interrupt flag. Interrupt flags can also be cleared by writing a logic one to the flag bit position(s) to be cleared. If an interrupt condition occurs while the corresponding interrupt enable bit is cleared, the interrupt flag will be set and remembered until the interrupt is enabled, or the flag is cleared by software. Similarly, if one or more interrupt conditions occur while the Global Interrupt Enable bit is cleared, the corresponding interrupt flag(s) will be set and remembered until the Global Interrupt Enable bit is set, and will then be executed by order of priority.

The second type of interrupts will trigger as long as the interrupt condition is present. These interrupts do not necessarily have interrupt flags. If the interrupt condition disappears before the interrupt is enabled, the interrupt will not be triggered.

When the AVR exits from an interrupt, it will always return to the main program and execute one more instruction before any pending interrupt is served.

Note that the Status Register is not automatically stored when entering an interrupt routine, nor restored when returning from an interrupt routine. This must be handled by software.

When using the CLI instruction to disable interrupts, the interrupts will be immediately disabled. No interrupt will be executed after the CLI instruction, even if it occurs simultaneously with the CLI instruction. The following example shows how this can be used to avoid interrupts during the timed EEPROM write sequence.

#### Assembly Code Example

```
in  r16, SREG      ; store SREG value
cli                    ; disable interrupts during timed sequence
sbl  EECR, EEMWE    ; start EEPROM write
sbl  EECR, EEWE
out  SREG, r16      ; restore SREG value (I-bit)
```

#### C Code Example

```
char cSREG;
cSREG = SREG; /* store SREG value */
/* disable interrupts during timed sequence */
_cli();
EECR |= (1<<EEMWE); /* start EEPROM write */
EECR |= (1<<EEWE);
SREG = cSREG; /* restore SREG value (I-bit) */
```

When using the SEI instruction to enable interrupts, the instruction following SEI will be executed before any pending interrupts, as shown in this example.

Assembly Code Example
<pre>sei    ; set global interrupt enable sleep  ; enter sleep, waiting for interrupt ; note: will enter sleep before any pending ; interrupt(s)</pre>
C Code Example
<pre>_SEI(); /* set global interrupt enable */ _SLEEP(); /* enter sleep, waiting for interrupt */ /* note: will enter sleep before any pending interrupt(s) */</pre>

Interrupt Response Time

The interrupt execution response for all the enabled AVR interrupts is four clock cycles minimum. After four clock cycles, the Program Vector address for the actual interrupt handling routine is executed. During this four clock cycle period, the Program Counter is pushed onto the Stack. The Vector is normally a jump to the interrupt routine, and this jump takes three clock cycles. If an interrupt occurs during execution of a multi-cycle instruction, this instruction is completed before the interrupt is served. If an interrupt occurs when the MCU is in sleep mode, the interrupt execution response time is increased by four clock cycles. This increase comes in addition to the start-up time from the selected sleep mode.

A return from an interrupt handling routine takes four clock cycles. During these four clock cycles, the Program Counter (two bytes) is popped back from the Stack, the Stack Pointer is incremented by two, and the I-bit in SREG is set.







AVR ATmega8535  
Memories

n-System  
Reprogrammable Flash  
Program Memory

This section describes the different memories in the ATmega8535. The AVR architecture has two main memory spaces, the Data Memory and the Program Memory space. In addition, the ATmega8535 features an EEPROM Memory for data storage. All three memory spaces are linear and regular.

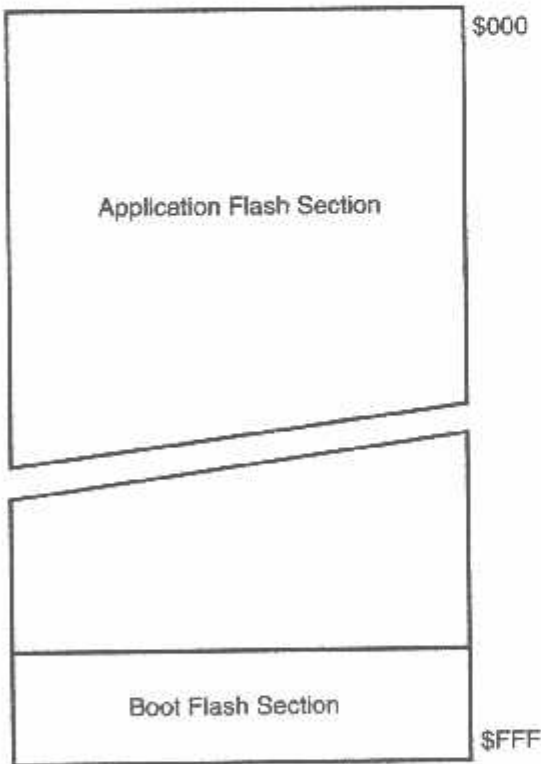
The ATmega8535 contains 8K bytes On-chip In-System Reprogrammable Flash memory for program storage. Since all AVR Instructions are 16 or 32 bits wide, the Flash is organized as 4K x 16. For software security, the Flash Program memory space is divided into two sections, Boot Program section and Application Program section.

The Flash memory has an endurance of at least 10,000 write/erase cycles. The ATmega8535 Program Counter (PC) is 12 bits wide, thus addressing the 4K program memory locations. The operation of Boot Program section and associated Boot Lock bits for software protection are described in detail in "Boot Loader Support – Read-While-Write Self-Programming" on page 224. "Memory Programming" on page 237 contains a detailed description on Flash Programming in SPI or Parallel Programming mode.

Constant tables can be allocated within the entire program memory address space (see the LPM – Load Program Memory instruction description).

Timing diagrams for instruction fetch and execution are presented in "Instruction Execution Timing" on page 13.

Figure 8. Program Memory Map

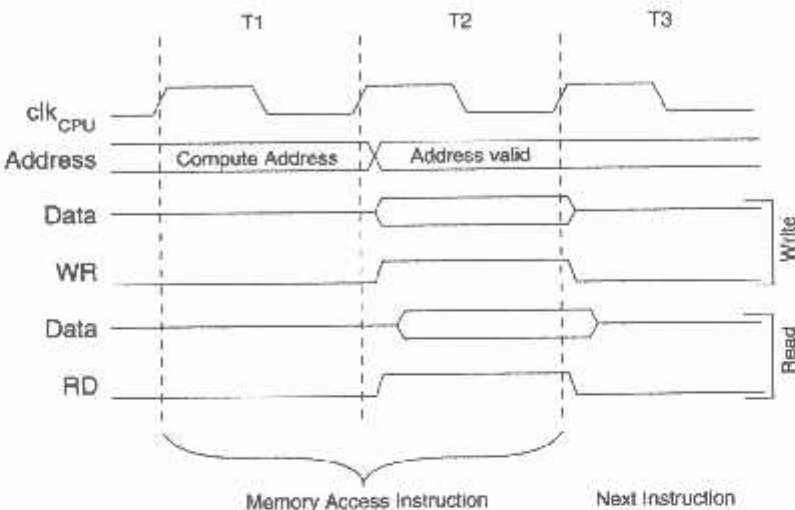




# Data Memory Access Times

This section describes the general access timing concepts for internal memory access. The internal data SRAM access is performed in two  $\text{clk}_{\text{CPU}}$  cycles as described in Figure 10.

**Figure 10.** On-chip Data SRAM Access Cycles



# EEPROM Data Memory

The ATmega8535 contains 512 bytes of data EEPROM memory. It is organized as a separate data space, in which single bytes can be read and written. The EEPROM has an endurance of at least 100,000 write/erase cycles. The access between the EEPROM and the CPU is described in the following, specifying the EEPROM Address Registers, the EEPROM Data Register, and the EEPROM Control Register.

"Memory Programming" on page 237 contains a detailed description on EEPROM Programming in SPI or Parallel Programming mode.

# EEPROM Read/Write Access

The EEPROM Access Registers are accessible in the I/O space.

The write access time for the EEPROM is given in Table 1. A self-timing function, however, lets the user software detect when the next byte can be written. If the user code contains instructions that write the EEPROM, some precautions must be taken. In heavily filtered power supplies,  $V_{CC}$  is likely to rise or fall slowly on Power-up/down. This causes the device, for some period of time, to run at a voltage lower than specified as minimum for the clock frequency used, see "Preventing EEPROM Corruption" on page 22 for details on how to avoid problems in these situations.

In order to prevent unintentional EEPROM writes, a specific write procedure must be followed. Refer to the description of the EEPROM Control Register for details on this.

When the EEPROM is read, the CPU is halted for four clock cycles before the next instruction is executed. When the EEPROM is written, the CPU is halted for two clock cycles before the next instruction is executed.

## The EEPROM Address Register – EEARH and EEARL

Bit	15	14	13	12	11	10	9	8	
	–	–	–	–	–	–	–	EEAR8	EEARH
	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	X	
	X	X	X	X	X	X	X	X	

### • Bits 15..9 – Res: Reserved Bits

These bits are reserved bits in the ATmega8535 and will always read as zero.

### • Bits 8..0 – EEAR8..0: EEPROM Address

The EEPROM Address Registers – EEARH and EEARL specify the EEPROM address in the 512 bytes EEPROM space. The EEPROM data bytes are addressed linearly between 0 and 511. The initial value of EEAR is undefined. A proper value must be written before the EEPROM may be accessed.

## The EEPROM Data Register – EEDR

Bit	7	6	5	4	3	2	1	0	
	MSB							LSB	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

### • Bits 7..0 – EEDR7..0: EEPROM Data

For the EEPROM write operation, the EEDR Register contains the data to be written to the EEPROM in the address given by the EEAR Register. For the EEPROM read operation, the EEDR contains the data read out from the EEPROM at the address given by EEAR.

## The EEPROM Control Register – EECR

Bit	7	6	5	4	3	2	1	0	
	–	–	–	–	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	X	0	

### • Bits 7..4 – Res: Reserved Bits

These bits are reserved bits in the ATmega8535 and will always read as zero.

### • Bit 3 – EERIE: EEPROM Ready Interrupt Enable

Writing EERIE to one enables the EEPROM Ready Interrupt if the I-bit in SREG is set. Writing EERIE to zero disables the interrupt. The EEPROM Ready Interrupt generates a constant interrupt when EEWE is cleared.

### • Bit 2 – EEMWE: EEPROM Master Write Enable

The EEMWE bit determines whether setting EEWE to one causes the EEPROM to be written. When EEMWE is set, setting EEWE within four clock cycles will write data to the EEPROM at the selected address. If EEMWE is zero, setting EEWE will have no effect. When EEMWE has been written to one by software, hardware clears the bit to zero after four clock cycles. See the description of the EEWE bit for an EEPROM write procedure.

### • Bit 1 – EEWE: EEPROM Write Enable

The EEPROM Write Enable Signal EEWE is the write strobe to the EEPROM. When address and data are correctly set up, the EEWE bit must be written to one to write the





value into the EEPROM. The EEMWE bit must be written to one before a logical one is written to EWE, otherwise no EEPROM write takes place. The following procedure should be followed when writing the EEPROM (the order of steps 3 and 4 is not essential):

1. Wait until EWE becomes zero.
2. Wait until SPEN in SPMCR becomes zero.
3. Write new EEPROM address to EEAR (optional).
4. Write new EEPROM data to EEDR (optional).
5. Write a logical one to the EEMWE bit while writing a zero to EWE in EECR.
6. Within four clock cycles after setting EEMWE, write a logical one to EWE.

The EEPROM can not be programmed during a CPU write to the Flash memory. The software must check that the Flash programming is completed before initiating a new EEPROM write. Step 2 is only relevant if the software contains a Boot Loader allowing the CPU to program the Flash. If the Flash is never updated by the CPU, step 2 can be omitted. See "Boot Loader Support – Read-While-Write Self-Programming" on page 224 for details about Boot programming.

**Caution:** An interrupt between step 5 and step 6 will make the write cycle fail, since the EEPROM Master Write Enable will time-out. If an interrupt routine accessing the EEPROM is interrupting another EEPROM access, the EEAR or EEDR Register will be modified, causing the interrupted EEPROM access to fail. It is recommended to have the Global Interrupt Flag cleared during all the steps to avoid these problems.

When the write access time has elapsed, the EWE bit is cleared by hardware. The user software can poll this bit and wait for a zero before writing the next byte. When EWE has been set, the CPU is halted for two cycles before the next instruction is executed.

#### • Bit 0 – EERE: EEPROM Read Enable

The EEPROM Read Enable Signal EERE is the read strobe to the EEPROM. When the correct address is set up in the EEAR Register, the EERE bit must be written to a logic one to trigger the EEPROM read. The EEPROM read access takes one instruction, and the requested data is available immediately. When the EEPROM is read, the CPU is halted for four cycles before the next instruction is executed.

The user should poll the EWE bit before starting the read operation. If a write operation is in progress, it is neither possible to read the EEPROM, nor to change the EEAR Register.

The calibrated Oscillator is used to time the EEPROM accesses. Table 1 lists the typical programming time for EEPROM access from the CPU.

Table 1. EEPROM Programming Time

Symbol	Number of Calibrated RC Oscillator Cycles <sup>(1)</sup>	Typ Programming Time
EEPROM Write (from CPU)	8448	8.4 ms

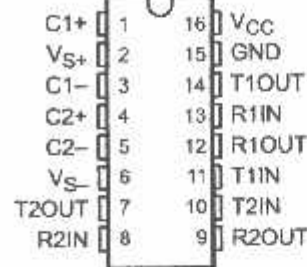
Note: 1. Uses 1 MHz clock, independent of CKSEL Fuse settings.

# MAX232, MAX232I DUAL EIA-232 DRIVERS/RECEIVERS

SLL50471 – FEBRUARY 1989 – REVISED OCTOBER 2002

- Meet or Exceed TIA/EIA-232-F and ITU Recommendation V.28
- Operate With Single 5-V Power Supply
- Operate Up to 120 kbit/s
- Two Drivers and Two Receivers
- $\pm 30$ -V Input Levels
- Low Supply Current . . . 8 mA Typical
- Designed to be Interchangeable With Maxim MAX232
- ESD Protection Exceeds JESD 22 – 2000-V Human-Body Model (A114-A)
- Applications
  - TIA/EIA-232-F
  - Battery-Powered Systems
  - Terminals
  - Modems
  - Computers

MAX232 . . . D, DW, N, OR NS PACKAGE  
MAX232I . . . D, DW, OR N PACKAGE  
(TOP VIEW)



## description/ordering information

The MAX232 is a dual driver/receiver that includes a capacitive voltage generator to supply EIA-232 voltage levels from a single 5-V supply. Each receiver converts EIA-232 inputs to 5-V TTL/CMOS levels. These receivers have a typical threshold of 1.3 V and a typical hysteresis of 0.5 V, and can accept  $\pm 30$ -V inputs. Each driver converts TTL/CMOS input levels into EIA-232 levels. The driver, receiver, and voltage-generator functions are available as cells in the Texas Instruments LinASIC™ library.

## ORDERING INFORMATION

TA	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
0°C to 70°C	PDIP (N)	Tube	MAX232N	MAX232N
	SOIC (D)	Tube	MAX232D	MAX232
		Tape and reel	MAX232DR	
	SOIC (DW)	Tube	MAX232DW	MAX232
		Tape and reel	MAX232DWR	
-40°C to 85°C	SOP (NS)	Tape and reel	MAX232NSR	MAX232
	PDIP (N)	Tube	MAX232IN	MAX232IN
	SOIC (D)	Tube	MAX232ID	MAX232I
		Tape and reel	MAX232IDR	
	SOIC (DW)	Tube	MAX232IDW	MAX232I
		Tape and reel	MAX232IDWR	

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/sc/package](http://www.ti.com/sc/package).



LinASIC is a trademark of Texas Instruments.

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

Copyright © 2002, Texas Instruments Incorporated

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS  
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

MAX232, MAX232I  
DUAL EIA-232 DRIVERS/RECEIVERS

SLLSD471—FEBRUARY 1989—REVISED OCTOBER 2002

Function Tables

EACH DRIVER

INPUT TIN	OUTPUT TOUT
L	H
H	L

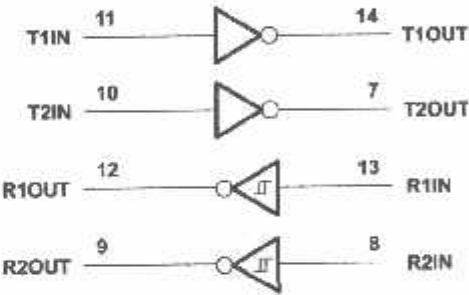
H = high level, L = low level

EACH RECEIVER

INPUT RIN	OUTPUT ROUT
L	H
H	L

H = high level, L = low level

logic diagram (positive logic)



POST OFFICE BOX 655303 • DALLAS, TEXAS 75205



# MAX232, MAX232I DUAL EIA-232 DRIVERS/RECEIVERS

SLLS047I – FEBRUARY 1989 – REVISED OCTOBER 2002

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Input supply voltage range, $V_{CC}$ (see Note 1)	–0.3 V to 6 V
Positive output supply voltage range, $V_{S+}$	$V_{CC} - 0.3$ V to 15 V
Negative output supply voltage range, $V_{S-}$	–0.3 V to –15 V
Input voltage range, $V_I$ : Driver	–0.3 V to $V_{CC} + 0.3$ V
Receiver	±30 V
Output voltage range, $V_O$ : T1OUT, T2OUT	$V_{S-} - 0.3$ V to $V_{S+} + 0.3$ V
R1OUT, R2OUT	–0.3 V to $V_{CC} + 0.3$ V
Short-circuit duration: T1OUT, T2OUT	Unlimited
Package thermal impedance, $\theta_{JA}$ (see Note 2): D package	73°C/W
DW package	57°C/W
N package	67°C/W
NS package	64°C/W
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds	260°C
Storage temperature range, $T_{stg}$	–65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values are with respect to network ground terminal.

2: The package thermal impedance is calculated in accordance with JEDEC 51-7.

## recommended operating conditions

		MIN	NOM	MAX	UNIT
$V_{CC}$	Supply voltage	4.5	5	5.5	V
$V_{IH}$	High-level input voltage (T1IN, T2IN)	2			V
$V_{IL}$	Low-level input voltage (T1IN, T2IN)			0.8	V
R1IN, R2IN	Receiver input voltage			±30	V
$T_A$	Operating free-air temperature	MAX232	0	70	°C
		MAX232I	–40	85	

## electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (see Note 3 and Figure 4)

PARAMETER	TEST CONDITIONS	MIN	TYP‡	MAX	UNIT
$I_{CC}$ Supply current	$V_{CC} = 5.5$ V, All outputs open, $T_A = 25^\circ\text{C}$		8	10	mA

‡ All typical values are at  $V_{CC} = 5$  V and  $T_A = 25^\circ\text{C}$ .

NOTE 3: Test conditions are C1–C4 = 1  $\mu\text{F}$  at  $V_{CC} = 5 \text{ V} \pm 0.5 \text{ V}$ .



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265



MAX232, MAX232I  
DUAL EIA-232 DRIVERS/RECEIVERS

SLLS04/I – FEBRUARY 1989 – REVISED OCTOBER 2002

DRIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature range (see Note 3)

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V <sub>OH</sub>	High-level output voltage	T1OUT, T2OUT R <sub>L</sub> = 3 kΩ to GND	5	7		V
V <sub>OL</sub>	Low-level output voltage‡	T1OUT, T2OUT R <sub>L</sub> = 3 kΩ to GND		-7	-5	V
r <sub>o</sub>	Output resistance	T1OUT, T2OUT V <sub>S+</sub> = V <sub>S-</sub> = 0, V <sub>O</sub> = ±2 V	300			Ω
I <sub>OS</sub> §	Short-circuit output current	T1OUT, T2OUT V <sub>CC</sub> = 5.5 V, V <sub>O</sub> = 0		±10		mA
I <sub>IS</sub>	Short-circuit input current	T1IN, T2IN V <sub>I</sub> = 0			200	μA

† All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.  
‡ The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels only.  
§ Not more than one output should be shorted at a time.  
NOTE 3: Test conditions are C1–C4 = 1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C (see Note 3)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR	Driver slew rate	R <sub>L</sub> = 3 kΩ to 7 kΩ, See Figure 2			30	V/μs
SR(t)	Driver transition region slew rate	See Figure 3		3		V/μs
	Data rate	One TOUT switching		120		kbit/s

NOTE 3: Test conditions are C1–C4 = 1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

RECEIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature range (see Note 3)

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V <sub>OH</sub>	High-level output voltage	R1OUT, R2OUT I <sub>OH</sub> = -1 mA	3.5			V
V <sub>OL</sub>	Low-level output voltage‡	R1OUT, R2OUT I <sub>OL</sub> = 3.2 mA			0.4	V
V <sub>IT+</sub>	Receiver positive-going input threshold voltage	R1IN, R2IN V <sub>CC</sub> = 5 V, T <sub>A</sub> = 25°C		1.7	2.4	V
V <sub>IT-</sub>	Receiver negative-going input threshold voltage	R1IN, R2IN V <sub>CC</sub> = 5 V, T <sub>A</sub> = 25°C	0.8	1.2		V
V <sub>hys</sub>	Input hysteresis voltage	R1IN, R2IN V <sub>CC</sub> = 5 V	0.2	0.5	1	V
r <sub>i</sub>	Receiver input resistance	R1IN, R2IN V <sub>CC</sub> = 5, T <sub>A</sub> = 25°C	3	5	7	kΩ

† All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.  
‡ The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels only.  
NOTE 3: Test conditions are C1–C4 = 1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C (see Note 3 and Figure 1)

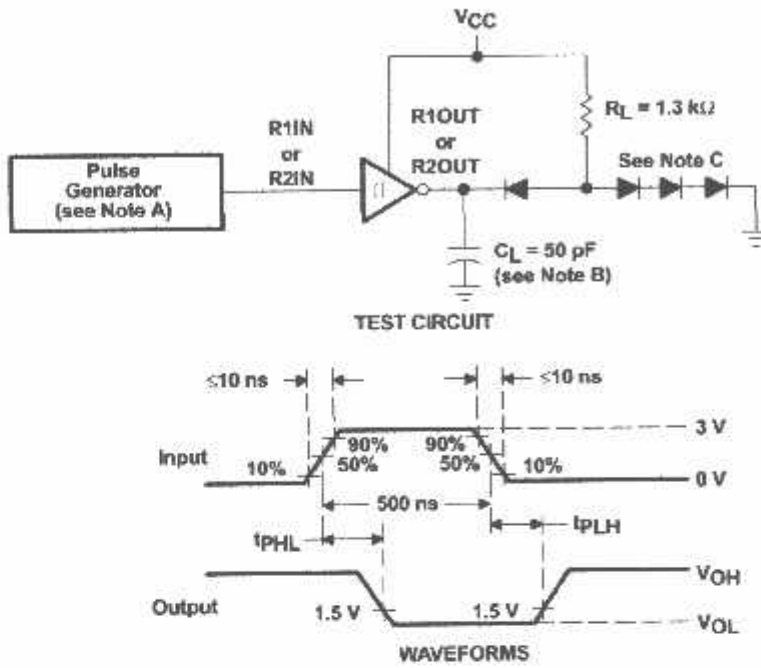
PARAMETER		TYP	UNIT
t <sub>PLH(R)</sub>	Receiver propagation delay time, low- to high-level output	500	ns
t <sub>PHL(R)</sub>	Receiver propagation delay time, high- to low-level output	500	ns

NOTE 3: Test conditions are C1–C4 = 1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

PARAMETER MEASUREMENT INFORMATION



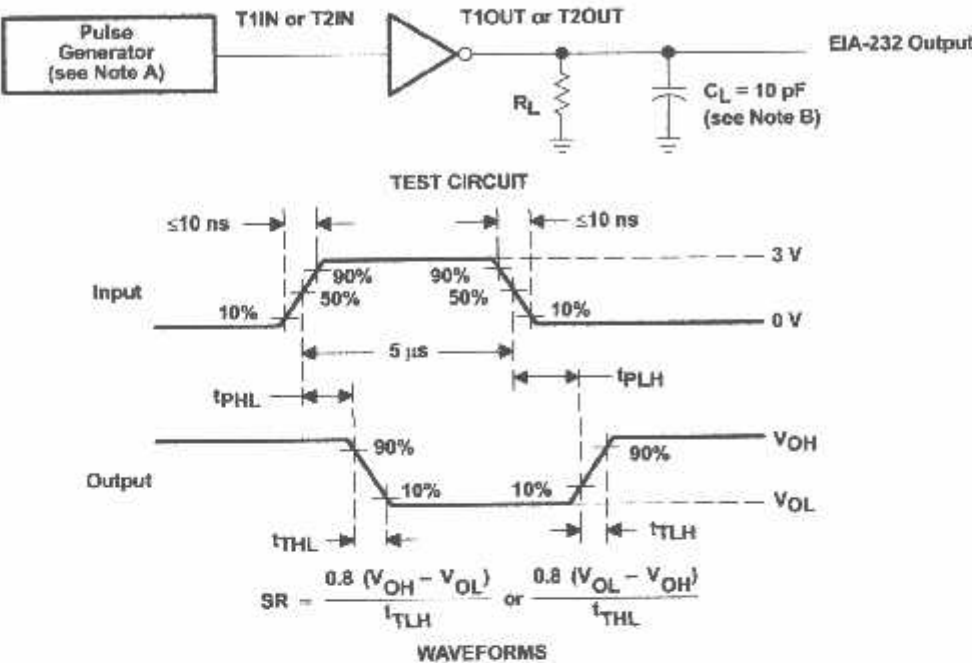
- NOTES: A. The pulse generator has the following characteristics:  $Z_O = 50 \Omega$ , duty cycle  $\leq 50\%$ .  
B.  $C_L$  includes probe and jig capacitance.  
C. All diodes are 1N3084 or equivalent.

Figure 1. Receiver Test Circuit and Waveforms for  $t_{PHL}$  and  $t_{PLH}$  Measurements

MAX232, MAX232I  
DUAL EIA-232 DRIVERS/RECEIVERS

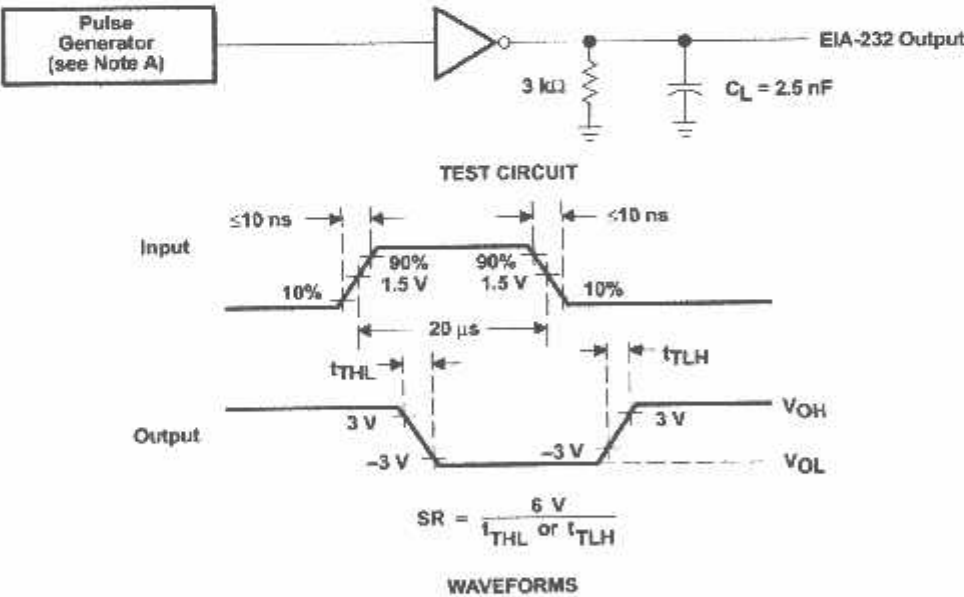
SLLS047I – FEBRUARY 1989 – REVISED OCTOBER 2002

PARAMETER MEASUREMENT INFORMATION



NOTES: A. The pulse generator has the following characteristics:  $Z_O = 50 \Omega$ , duty cycle  $\leq 50\%$ .  
B.  $C_L$  includes probe and jig capacitance.

Figure 2. Driver Test Circuit and Waveforms for  $t_{PHL}$  and  $t_{PLH}$  Measurements (5- $\mu\text{s}$  Input)



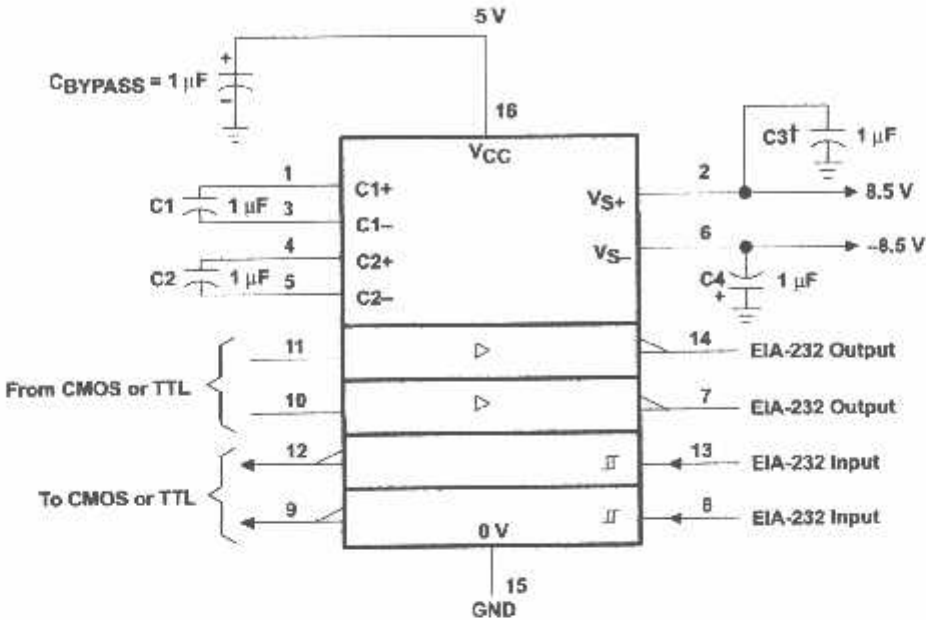
NOTE A: The pulse generator has the following characteristics:  $Z_O = 50 \Omega$ , duty cycle  $\leq 50\%$ .

Figure 3. Test Circuit and Waveforms for  $t_{THL}$  and  $t_{TLH}$  Measurements (20- $\mu\text{s}$  Input)



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

APPLICATION INFORMATION



† C3 can be connected to VCC or GND.

Figure 4. Typical Operating Circuit

## IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

### Mailing Address:

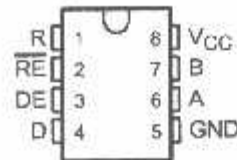
Texas Instruments  
Post Office Box 655303  
Dallas, Texas 75265

# SN75176A DIFFERENTIAL BUS TRANSCEIVER

SLLS100A – JUNE 1984 – REVISED MAY 1995

- Bidirectional Transceiver
- Meets or Exceeds the Requirements of ANSI Standards EIA/TIA-422-B and ITU Recommendation V.11
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Driver and Receiver Outputs
- Individual Driver and Receiver Enables
- Wide Positive and Negative Input/Output Bus Voltage Ranges
- Driver Output Capability . . .  $\pm 60$  mA Max
- Thermal-Shutdown Protection
- Driver Positive- and Negative-Current Limiting
- Receiver Input Impedance . . . 12 k $\Omega$  Min
- Receiver Input Sensitivity . . .  $\pm 200$  mV
- Receiver Input Hysteresis . . . 50 mV Typ
- Operates From Single 5-V Supply
- Low Power Requirements

D OR P PACKAGE  
(TOP VIEW)



## description

The SN75176A differential bus transceiver is a monolithic integrated circuit designed for bidirectional data communication on multipoint bus-transmission lines. It is designed for balanced transmission lines and meets ANSI Standard EIA/TIA-422-B and ITU Recommendation V.11.

The SN75176A combines a 3-state differential line driver and a differential input line receiver, both of which operate from a single 5-V power supply. The driver and receiver have active-high and active-low enables, respectively, that can be externally connected together to function as a direction control. The driver differential outputs and the receiver differential inputs are connected internally to form differential input/output (I/O) bus ports that are designed to offer minimum loading to the bus whenever the driver is disabled or  $V_{CC} = 0$ . These ports feature wide positive and negative common-mode voltage ranges making the device suitable for party-line applications.

The driver is designed to handle loads up to 60 mA of sink or source current. The driver features positive- and negative-current limiting and thermal shutdown for protection from line fault conditions. Thermal shutdown is designed to occur at a junction temperature of approximately 150°C. The receiver features a minimum input impedance of 12 k $\Omega$ , an input sensitivity of  $\pm 200$  mV, and a typical input hysteresis of 50 mV.

The SN75176A can be used in transmission-line applications employing the SN75172 and SN75174 quadruple differential line drivers and SN75173 and SN75175 quadruple differential line receivers.

The SN75176A is characterized for operation from 0°C to 70°C.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

Copyright © 1995, Texas Instruments Incorporated

PRODUCTION DATA: Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS  
INSTRUMENTS**  
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN75176A  
DIFFERENTIAL BUS TRANSCEIVER

SLLS100A – JUNE 1984 – REVISED MAY 1985

Function Tables

DRIVER

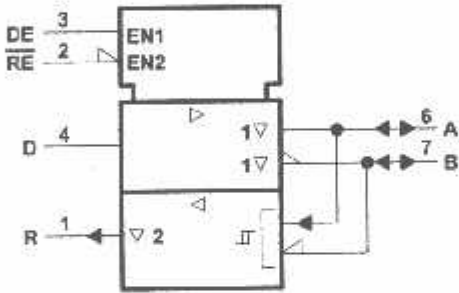
INPUT D	ENABLE DE	OUTPUTS	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

RECEIVER

DIFFERENTIAL INPUTS A – B	ENABLE $\overline{RE}$	OUTPUT R
$V_{ID} \geq 0.2\text{ V}$	L	H
$-0.2\text{ V} < V_{ID} < 0.2\text{ V}$	L	?
$V_{ID} \leq -0.2\text{ V}$	L	L
X	H	Z
Open	L	?

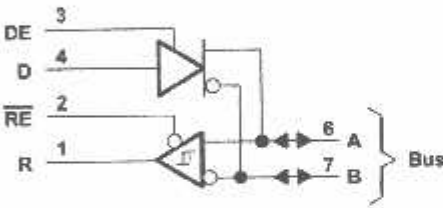
H = high level, L = low level, ? = indeterminate,  
X = irrelevant, Z = high impedance (off)

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

logic diagram (positive logic)



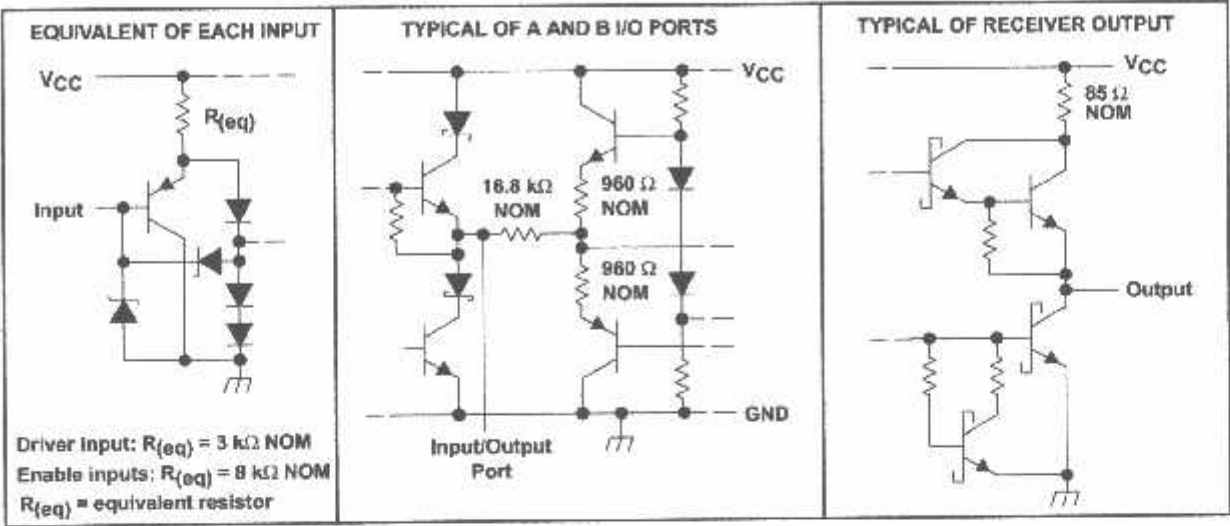
POST OFFICE BOX 655303 ■ DALLAS, TEXAS 75265

SN75176A

DIFFERENTIAL BUS TRANSCEIVER

SLLS100A – JUNE 1984 – REVISED MAY 1995

schematics of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, $V_{CC}$ (see Note 1)	7 V
Voltage range at any bus terminal	–10 V to 15 V
Enable input voltage, $V_I$	5.5 V
Continuous total power dissipation	See Dissipation Rating Table
Operating free-air temperature range, $T_A$	0°C to 70°C
Storage temperature range, $T_{stg}$	–65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values, except differential input/output bus voltage, are with respect to network ground terminal.

DISSIPATION RATING TABLE

PACKAGE	$T_A < 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 105^\circ\text{C}$ POWER RATING
D	725 mW	5.8 mW/°C	464 mW	261 mW
P	1100 mW	8.8 mW/°C	704 mW	396 mW



SN75176A  
DIFFERENTIAL BUS TRANSCEIVER

SLLS100A – JUNE 1984 – REVISED MAY 1985

recommended operating conditions

		MIN	TYP	MAX	UNIT
Supply voltage, $V_{CC}$		4.75	5	5.25	V
Voltage at any bus terminal (separately or common mode), $V_I$ or $V_{IC}$		-7		12	V
High-level input voltage, $V_{IH}$	D, DE, and $\overline{RE}$	2			V
Low-level input voltage, $V_{IL}$	D, DE, and $\overline{RE}$			0.8	V
Differential input voltage, $V_{ID}$ (see Note 2)				+12	V
High-level output current, $I_{OH}$	Driver			-60	mA
	Receiver			-400	$\mu$ A
Low-level output current, $I_{OL}$	Driver			60	mA
	Receiver			8	
Operating free-air temperature, $T_A$		0		70	$^{\circ}$ C

NOTE 2: Differential-input/output bus voltage is measured at the noninverting terminal A with respect to the inverting terminal B.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

# SN75176A DIFFERENTIAL BUS TRANSCEIVER

SLLS100A JUNE 1984 – REVISED MAY 1995

## DRIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
$V_{IK}$ Input clamp voltage	$I_I = -18 \text{ mA}$			-1.5	V
$V_{OH}$ High-level output voltage	$V_{IH} = 2 \text{ V}$ , $I_{OH} = -33 \text{ mA}$ $V_{IL} = 0.8 \text{ V}$		3.7		V
$V_{OL}$ Low-level output voltage	$V_{IH} = 2 \text{ V}$ , $I_{OH} = 33 \text{ mA}$ $V_{IL} = 0.8 \text{ V}$		1.1		V
$ V_{OD1} $ Differential output voltage	$I_O = 0$			$2V_{OD2}$	V
$ V_{OD2} $ Differential output voltage	$R_L = 100 \Omega$ , See Figure 1	2	2.7		V
	$R_L = 54 \Omega$ , See Figure 1	1.5	2.4		
$\Delta V_{OD} $ Change in magnitude of differential output voltage‡				$\pm 0.2$	V
$V_{OC}$ Common-mode output voltage§	$R_L = 54 \Omega$ or $100 \Omega$ , See Figure 1			3	V
$\Delta V_{OC} $ Change in magnitude of common-mode output voltage‡				$\pm 0.2$	V
$I_O$ Output current	Output disabled, See Note 3	$V_O = 12 \text{ V}$		1	mA
		$V_O = -7 \text{ V}$		-0.8	
$I_{IH}$ High-level input current	$V_I = 2.4 \text{ V}$			20	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_I = 0.4 \text{ V}$			-400	$\mu\text{A}$
$I_{OS}$ Short-circuit output current	$V_O = -7 \text{ V}$			-250	mA
	$V_O = V_{CC}$			250	
	$V_O = 12 \text{ V}$			500	
$I_{CC}$ Supply current (total package)	No load	Outputs enabled	35	50	mA
		Outputs disabled	26	40	

† All typical values are at  $V_{CC} = 5 \text{ V}$  and  $T_A = 25^\circ\text{C}$ .

‡  $\Delta|V_{OD}|$  and  $\Delta|V_{OC}|$  are the changes in magnitude of  $V_{OD}$  and  $V_{OC}$  respectively, that occur when the input is changed from a high level to a low level.

§ In ANSI Standard EIA/TIA-422-B,  $V_{OC}$ , which is the average of the two output voltages with respect to GND, is called output offset voltage,  $V_{OS}$ .

NOTE 3: This applies for both power on and off; refer to ANSI Standard EIA/TIA-422-B for exact conditions.

## switching characteristics, $V_{CC} = 5 \text{ V}$ , $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{d(OD)}$ Differential-output delay time	$R_L = 60 \Omega$ , See Figure 3		40	60	ns
$t_{t(OD)}$ Differential-output transition time			65	95	ns
$t_{PZH}$ Output enable time to high level	$R_L = 110 \Omega$ , See Figure 4		55	90	ns
$t_{PZL}$ Output enable time to low level	$R_L = 110 \Omega$ , See Figure 5		30	50	ns
$t_{PHZ}$ Output disable time from high level	$R_L = 110 \Omega$ , See Figure 4		85	130	ns
$t_{PLZ}$ Output disable time from low level	$R_L = 110 \Omega$ , See Figure 5		20	40	ns

SN75176A  
DIFFERENTIAL BUS TRANSCEIVER

SLLS100A – JUNE 1984 – REVISED MAY 1995

RECEIVER SECTION

electrical characteristics over recommended ranges of common-mode input voltage, supply voltage, and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V <sub>IT+</sub>	Positive-going input threshold voltage	V <sub>O</sub> = 2.7 V, I <sub>O</sub> = –0.4 mA				0.2	V
V <sub>IT–</sub>	Negative-going input threshold voltage	V <sub>O</sub> = 0.5 V, I <sub>O</sub> = 8 mA		–0.2‡			V
V <sub>hys</sub>	Input hysteresis voltage (V <sub>IT+</sub> – V <sub>IT–</sub> )				50		mV
V <sub>IK</sub>	Enable clamp voltage	I <sub>I</sub> = –18 mA				–1.5	V
V <sub>OH</sub>	High-level output voltage	V <sub>ID</sub> = 200 mV, See Figure 2, I <sub>OH</sub> = –400 µA		2.7			V
V <sub>OL</sub>	Low-level output voltage	V <sub>ID</sub> = –200 mV, See Figure 2, I <sub>OL</sub> = 8 mA				0.45	V
I <sub>OZ</sub>	High-impedance-state output current	V <sub>O</sub> = 0.4 V to 2.4 V				±20	µA
I <sub>I</sub>	Line input current	Other input = 0 V, See Note 3, V <sub>I</sub> = 12 V				1	mA
		V <sub>I</sub> = –7 V				–0.8	
I <sub>IH</sub>	High-level enable input current	V <sub>IH</sub> = 2.7 V				20	µA
I <sub>IL</sub>	Low-level enable input current	V <sub>IL</sub> = 0.4 V				–100	µA
r <sub>i</sub>	Input resistance			12			kΩ
I <sub>OS</sub>	Short-circuit output current			–15		–85	mA
I <sub>CC</sub>	Supply current (total package)	No load	Outputs enabled		35	50	mA
			Outputs disabled		26	40	

† All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.  
‡ The algebraic convention, in which the less-positive (more-negative) limit is designated minimum, is used in this data sheet for common-mode input voltage and threshold voltage levels only.  
NOTE 3: This applies for both power on and power off. Refer to ANSI Standard EIA/TIA-422-B for exact conditions.

switching characteristics, V<sub>CC</sub> = 5 V, C<sub>L</sub> = 15 pF, T<sub>A</sub> = 25°C

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	V <sub>ID</sub> = –1.5 V to 1.5 V, See Figure 6			21	35	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output				23	35	ns
t <sub>PZH</sub>	Output enable time to high level	See Figure 7			10	30	ns
t <sub>PZL</sub>	Output enable time to low level				12	30	ns
t <sub>PHZ</sub>	Output disable time from high level	See Figure 7			20	35	ns
t <sub>PLZ</sub>	Output disable time from low level				17	25	ns



POST OFFICE BOX 655363 • DALLAS, TEXAS 75265

## PARAMETER MEASUREMENT INFORMATION

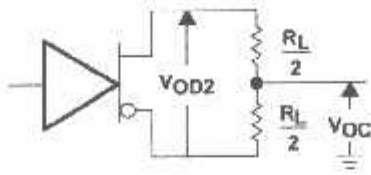


Figure 1. Driver  $V_{OD}$  and  $V_{OC}$

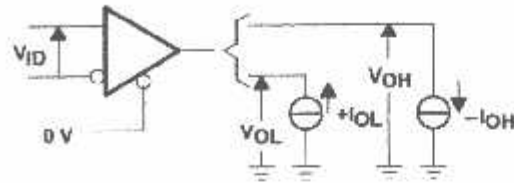
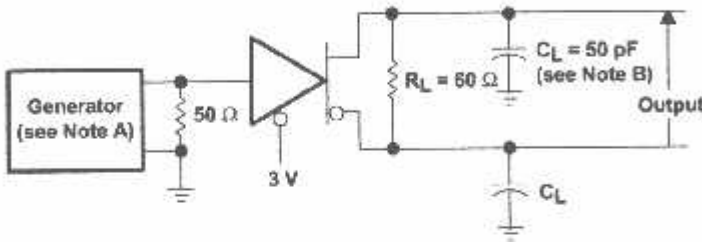
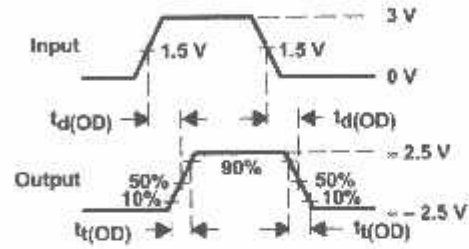


Figure 2. Receiver  $V_{OH}$  and  $V_{OL}$



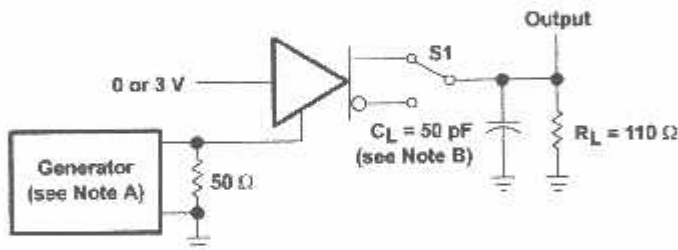
TEST CIRCUIT



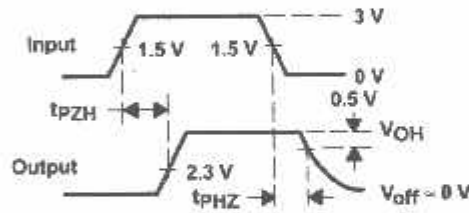
VOLTAGE WAVEFORMS

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, 50% duty cycle,  $t_r \leq 6$  ns,  $t_f \leq 6$  ns,  $Z_0 = 50 \Omega$ .  
B.  $C_L$  includes probe and jig capacitance.

Figure 3. Driver Test Circuit and Voltage Waveforms



TEST CIRCUIT



VOLTAGE WAVEFORMS

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, 50% duty cycle,  $t_r \leq 6$  ns,  $t_f \leq 6$  ns,  $Z_0 = 50 \Omega$ .  
B.  $C_L$  includes probe and jig capacitance.

Figure 4. Driver Test Circuit and Voltage Waveforms

# **SN75176A** **DIFFERENTIAL BUS TRANSCEIVER**

SLLS100A – JUNE 1984 – REVISED MAY 1995

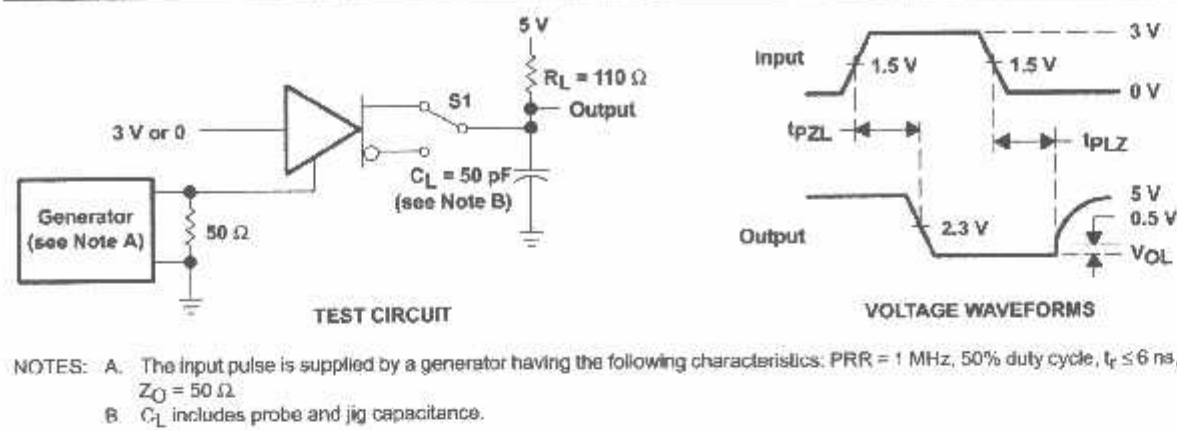


Figure 5. Driver Test Circuit and Voltage Waveforms

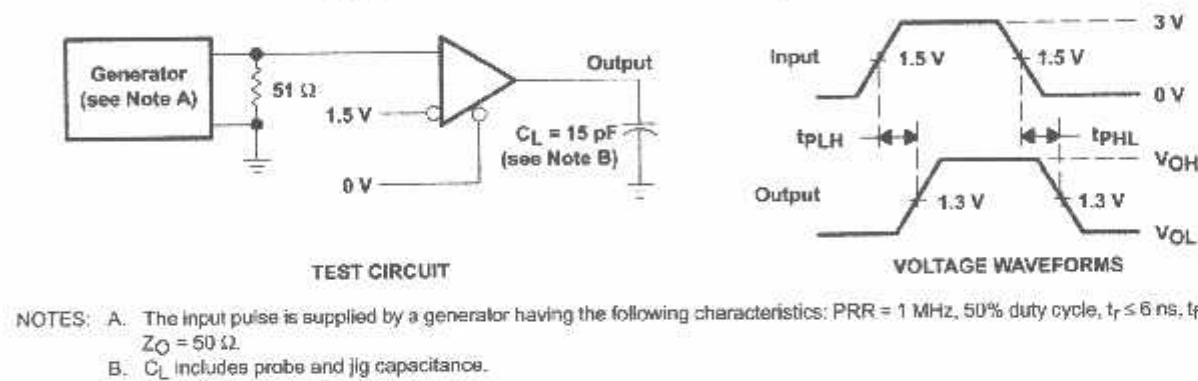
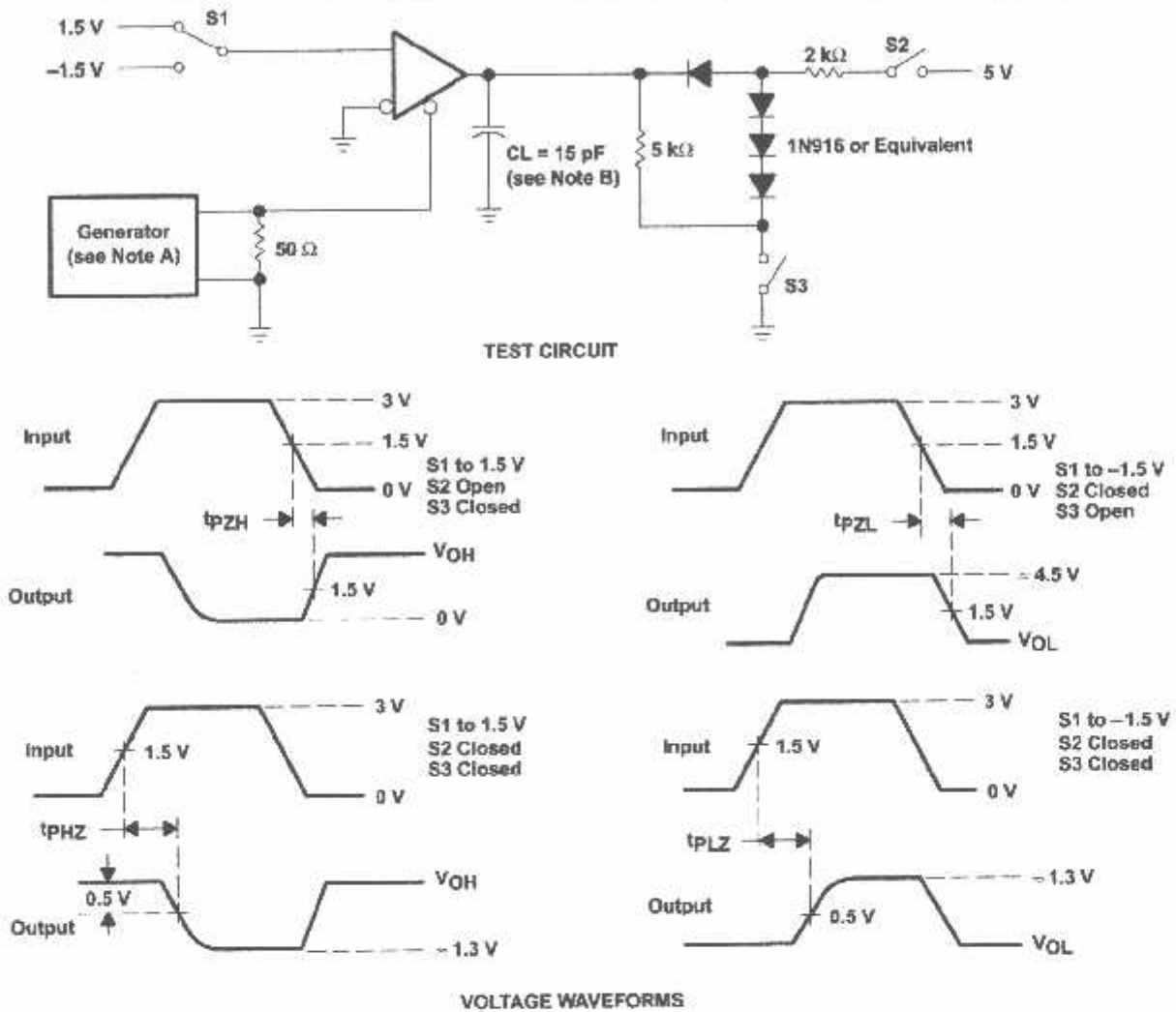


Figure 6. Receiver Test Circuit and Voltage Waveforms

# SN75176A DIFFERENTIAL BUS TRANSCEIVER

SLLS100A – JUNE 1984 – REVISED MAY 1985



NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, 50% duty cycle,  $t_r \leq 6$  ns,  $t_f \leq 6$  ns,  $Z_0 = 50 \Omega$ .  
B.  $C_L$  includes probe and jig capacitance.

Figure 7. Receiver Test Circuit and Voltage Waveforms

SN75176A  
DIFFERENTIAL BUS TRANSCEIVER

SLLS100A – JUNE 1984 – REVISED MAY 1985

TYPICAL CHARACTERISTICS

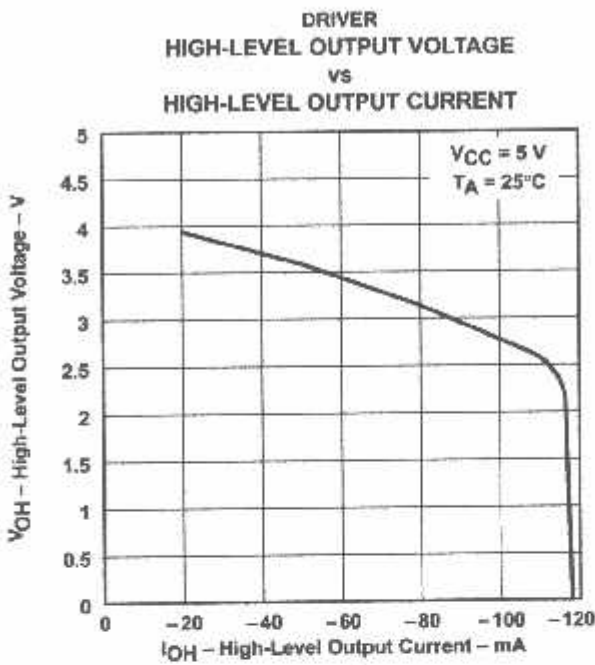


Figure 8

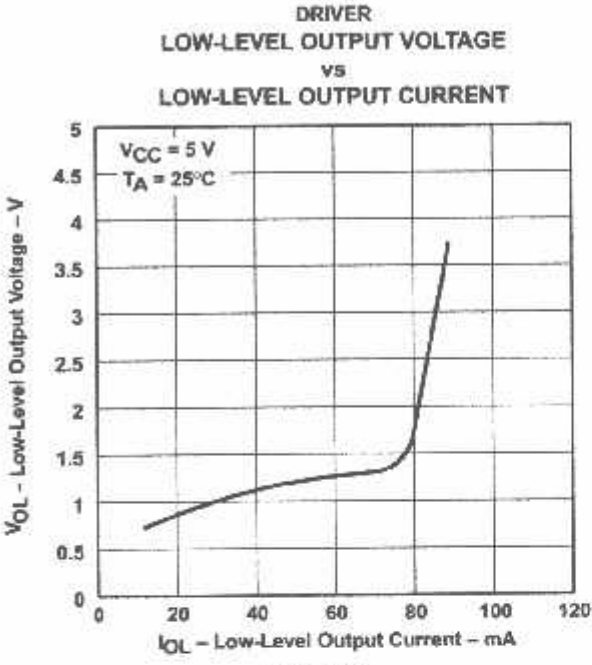


Figure 9

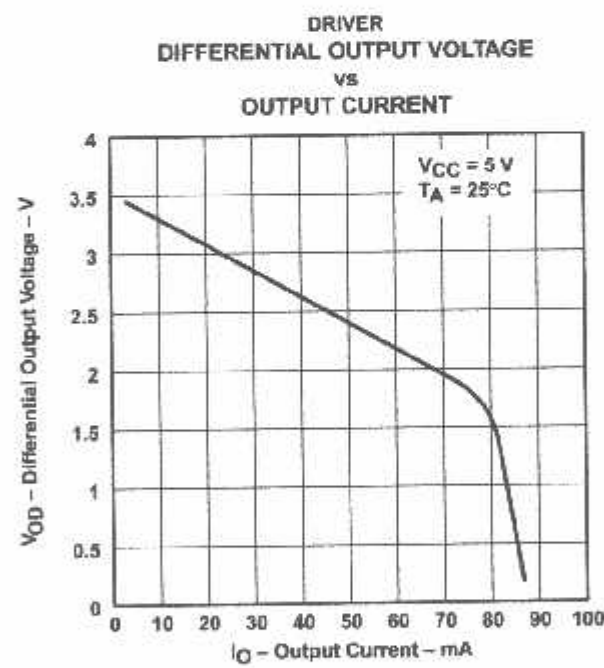


Figure 10

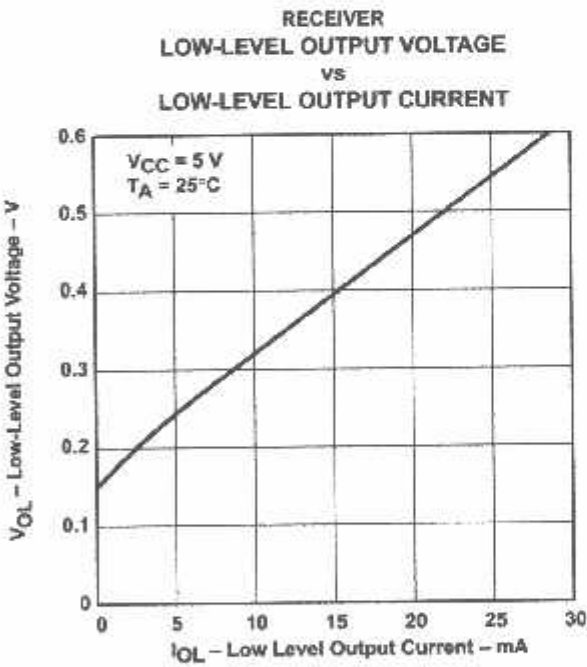


Figure 11



TEXAS  
INSTRUMENTS

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

TYPICAL CHARACTERISTICS

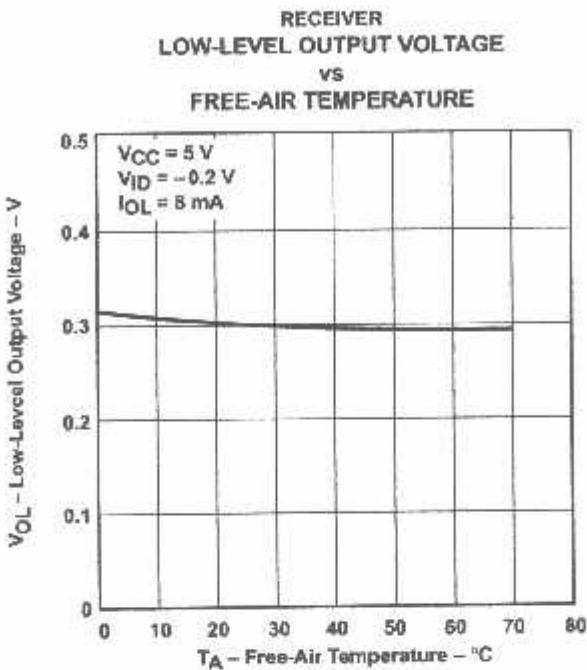


Figure 12

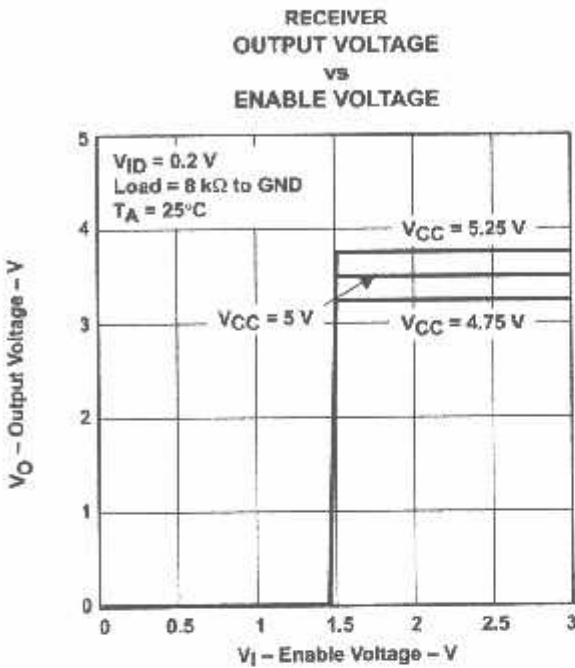


Figure 13

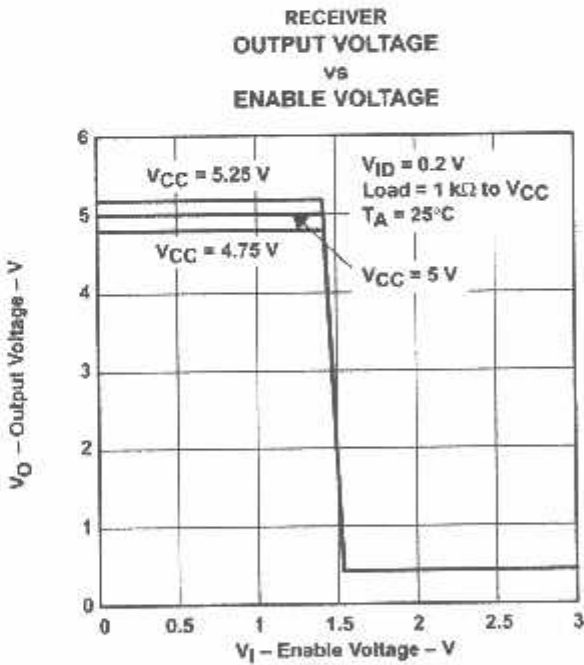


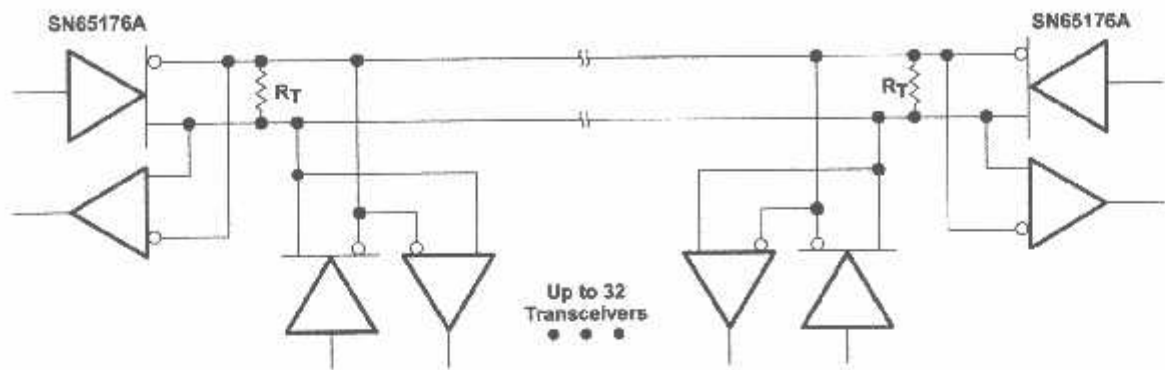
Figure 14



**SN75176A**  
**DIFFERENTIAL BUS TRANSCEIVER**

SLLS100A – JUNE 1984 – REVISED MAY 1995

**APPLICATION INFORMATION**



NOTE A: The line should be terminated at both ends in its characteristic impedance ( $R_T = Z_0$ ). Stub lengths off the main line should be kept as short as possible.

**Figure 15. Typical Application Circuit**



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

## IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

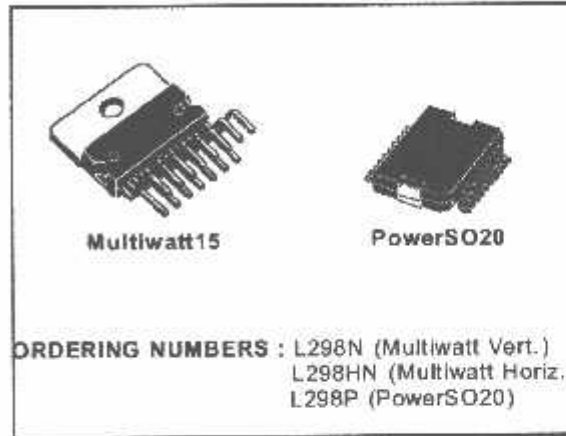
TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

## DUAL FULL-BRIDGE DRIVER

- OPERATING SUPPLY VOLTAGE UP TO 46 V
- TOTAL DC CURRENT UP TO 4 A
- LOW SATURATION VOLTAGE
- OVERTEMPERATURE PROTECTION
- LOGICAL "0" INPUT VOLTAGE UP TO 1.5 V (HIGH NOISE IMMUNITY)

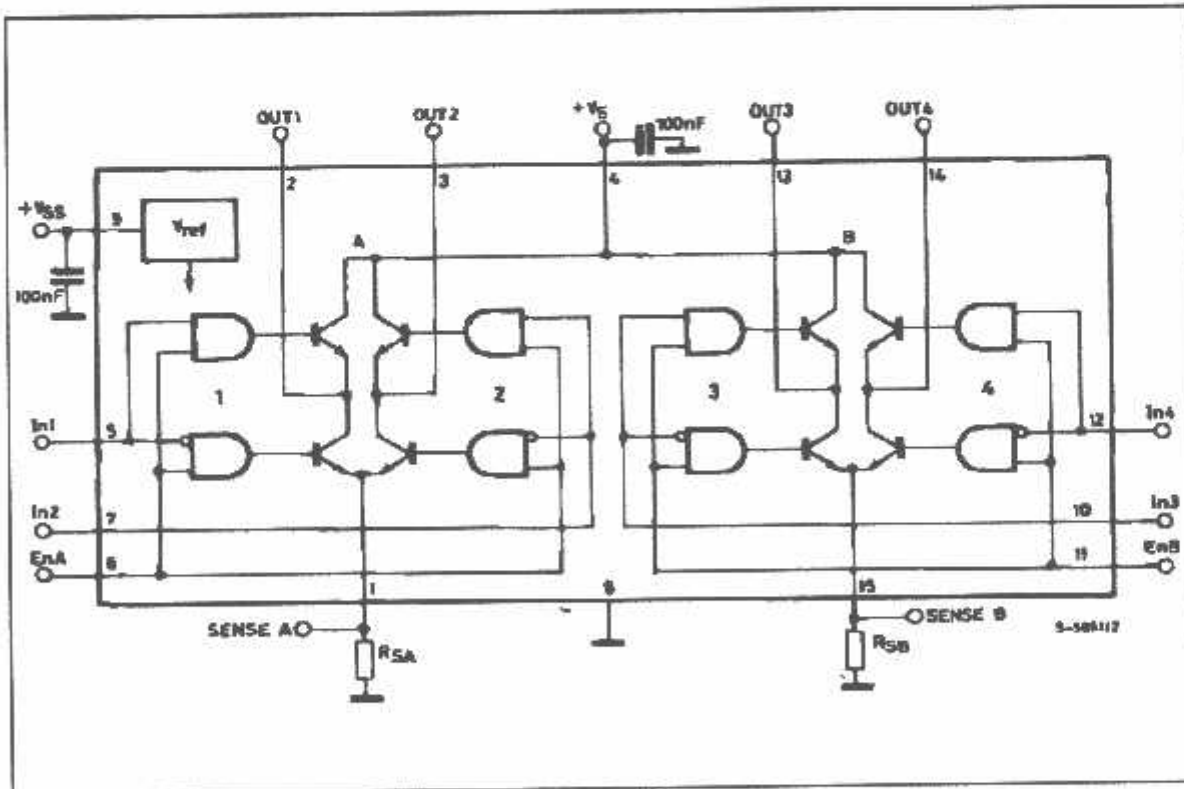
### DESCRIPTION

The L298 is an integrated monolithic circuit in a 15-lead Multiwatt and PowerSO20 packages. It is a high voltage, high current dual full-bridge driver designed to accept standard TTL logic levels and drive inductive loads such as relays, solenoids, DC and stepping motors. Two enable inputs are provided to enable or disable the device independently of the input signals. The emitters of the lower transistors of each bridge are connected together and the corresponding external terminal can be used for the connection of an external sensing resistor. An additional supply input is provided so that the logic works at a lower voltage.



nection of an external sensing resistor. An additional supply input is provided so that the logic works at a lower voltage.

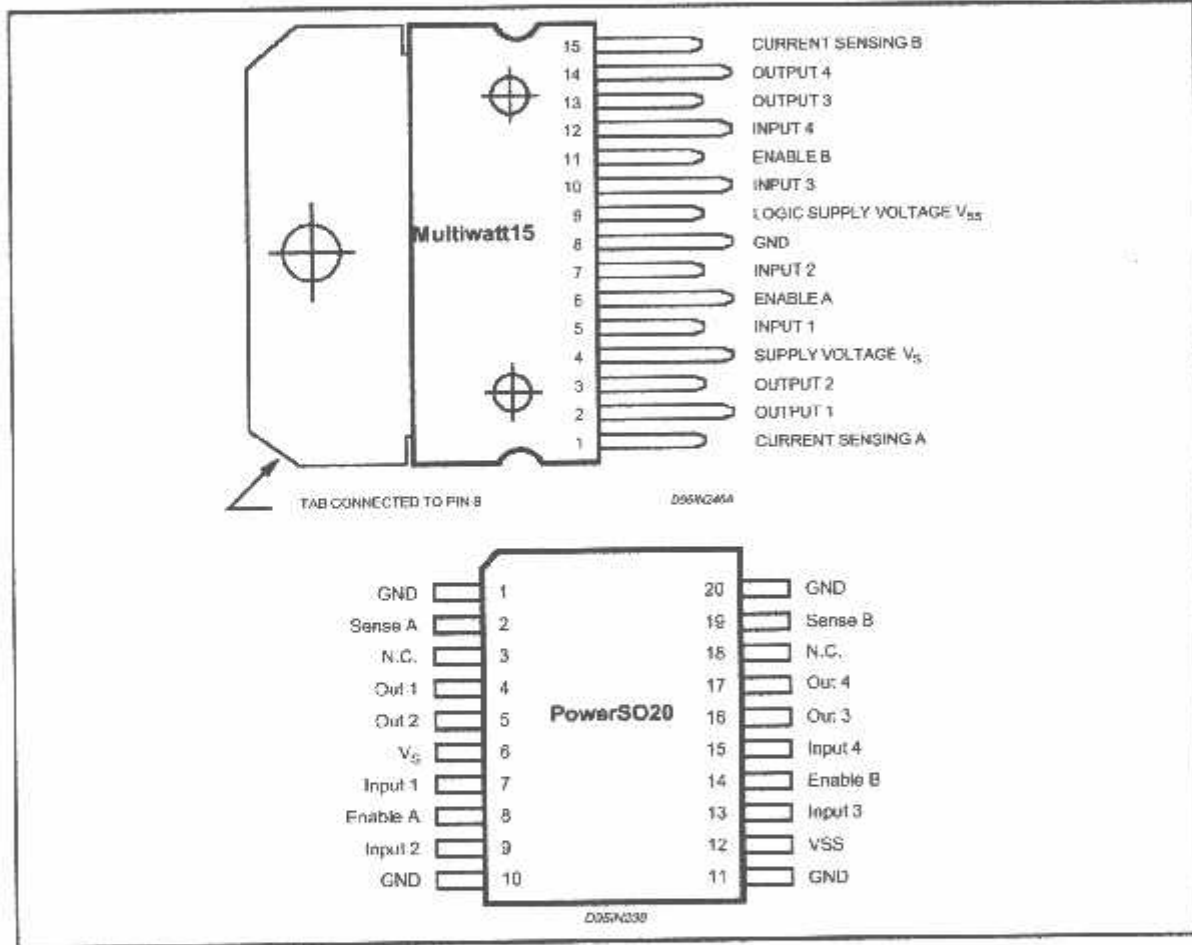
### BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
$V_S$	Power Supply	50	V
$V_{SS}$	Logic Supply Voltage	7	V
$V_I, V_{en}$	Input and Enable Voltage	-0.3 to 7	V
$I_O$	Peak Output Current (each Channel)		
	- Non Repetitive ( $t = 100\mu s$ )	3	A
	- Repetitive (80% on -20% off; $t_{on} = 10ms$ )	2.5	A
	- DC Operation	2	A
$V_{sense}$	Sensing Voltage	-1 to 2.3	V
$P_{tot}$	Total Power Dissipation ( $T_{case} = 75^{\circ}C$ )	25	W
$T_{op}$	Junction Operating Temperature	-25 to 130	$^{\circ}C$
$T_{stg}, T_j$	Storage and Junction Temperature	-40 to 150	$^{\circ}C$

PIN CONNECTIONS (top view)



THERMAL DATA

Symbol	Parameter	PowerSO20	Multiwatt15	Unit
$R_{th j-case}$	Thermal Resistance Junction-case	Max. -	3	$^{\circ}C/W$
$R_{th j-amb}$	Thermal Resistance Junction-ambient	Max. 13 (*)	35	$^{\circ}C/W$

(\*) Mounted on aluminum substrate



**PIN FUNCTIONS** (refer to the block diagram)

MW.15	PowerSO	Name	Function
1;15	2;19	Sense A; Sense B	Between this pin and ground is connected the sense resistor to control the current of the load.
2;3	4;5	Out 1; Out 2	Outputs of the Bridge A; the current that flows through the load connected between these two pins is monitored at pin 1.
4	6	$V_S$	Supply Voltage for the Power Output Stages. A non-inductive 100nF capacitor must be connected between this pin and ground.
5;7	7;9	Input 1; Input 2	TTL Compatible Inputs of the Bridge A.
6;11	8;14	Enable A; Enable B	TTL Compatible Enable Input: the L state disables the bridge A (enable A) and/or the bridge B (enable B).
8	1,10,11,20	GND	Ground.
9	12	$V_{SS}$	Supply Voltage for the Logic Blocks. A 100nF capacitor must be connected between this pin and ground.
10; 12	13;15	Input 3; Input 4	TTL Compatible Inputs of the Bridge B.
13; 14	16;17	Out 3; Out 4	Outputs of the Bridge B. The current that flows through the load connected between these two pins is monitored at pin 15.
—	3;18	N.C.	Not Connected

**ELECTRICAL CHARACTERISTICS** ( $V_S = 42V$ ;  $V_{SS} = 5V$ ,  $T_J = 25^\circ C$ ; unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$V_S$	Supply Voltage (pin 4)	Operative Condition	$V_{IH} + 2.5$		46	V
$V_{SS}$	Logic Supply Voltage (pin 9)		4.5	5	7	V
$I_S$	Quiescent Supply Current (pin 4)	$V_{en} = H$ ; $I_L = 0$ $V_i = L$ $V_i = H$		13 50	22 70	mA mA
		$V_{en} = L$ $V_i = X$			4	mA
$I_{SS}$	Quiescent Current from $V_{SS}$ (pin 9)	$V_{en} = H$ ; $I_L = 0$ $V_i = L$ $V_i = H$		24 7	36 12	mA mA
		$V_{en} = L$ $V_i = X$			6	mA
$V_{iL}$	Input Low Voltage (pins 5, 7, 10, 12)		-0.3		1.5	V
$V_{iH}$	Input High Voltage (pins 5, 7, 10, 12)		2.3		$V_{SS}$	V
$I_{iL}$	Low Voltage Input Current (pins 5, 7, 10, 12)	$V_i = L$			-10	$\mu A$
$I_{iH}$	High Voltage Input Current (pins 5, 7, 10, 12)	$V_i = H \leq V_{SS} - 0.6V$		30	100	$\mu A$
$V_{en} = L$	Enable Low Voltage (pins 6, 11)		-0.3		1.5	V
$V_{en} = H$	Enable High Voltage (pins 6, 11)		2.3		$V_{SS}$	V
$I_{en} = L$	Low Voltage Enable Current (pins 6, 11)	$V_{en} = L$			-10	$\mu A$
$I_{en} = H$	High Voltage Enable Current (pins 6, 11)	$V_{en} = H \leq V_{SS} - 0.6V$		30	100	$\mu A$
$V_{CEsat(H)}$	Source Saturation Voltage	$I_L = 1A$	0.95	1.35	1.7	V
		$I_L = 2A$		2	2.7	V
$V_{CEsat(L)}$	Sink Saturation Voltage	$I_L = 1A$ (5)	0.85	1.2	1.6	V
		$I_L = 2A$ (5)		1.7	2.3	V
$V_{CEsat}$	Total Drop	$I_L = 1A$ (5)	1.80		3.2	V
		$I_L = 2A$ (5)			4.9	V
$V_{sens}$	Sensing Voltage (pins 1, 15)		-1 (1)		2	V

ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
T <sub>1</sub> (V <sub>I</sub> )	Source Current Turn-off Delay	0.5 V <sub>I</sub> to 0.9 I <sub>L</sub> (2); (4)		1.5		μs
T <sub>2</sub> (V <sub>I</sub> )	Source Current Fall Time	0.9 I <sub>L</sub> to 0.1 I <sub>L</sub> (2); (4)		0.2		μs
T <sub>3</sub> (V <sub>I</sub> )	Source Current Turn-on Delay	0.5 V <sub>I</sub> to 0.1 I <sub>L</sub> (2); (4)		2		μs
T <sub>4</sub> (V <sub>I</sub> )	Source Current Rise Time	0.1 I <sub>L</sub> to 0.9 I <sub>L</sub> (2); (4)		0.7		μs
T <sub>5</sub> (V <sub>I</sub> )	Sink Current Turn-off Delay	0.5 V <sub>I</sub> to 0.9 I <sub>L</sub> (3); (4)		0.7		μs
T <sub>6</sub> (V <sub>I</sub> )	Sink Current Fall Time	0.9 I <sub>L</sub> to 0.1 I <sub>L</sub> (3); (4)		0.25		μs
T <sub>7</sub> (V <sub>I</sub> )	Sink Current Turn-on Delay	0.5 V <sub>I</sub> to 0.9 I <sub>L</sub> (3); (4)		1.6		μs
T <sub>8</sub> (V <sub>I</sub> )	Sink Current Rise Time	0.1 I <sub>L</sub> to 0.9 I <sub>L</sub> (3); (4)		0.2		μs
f <sub>c</sub> (V <sub>I</sub> )	Commutation Frequency	I <sub>L</sub> = 2A		25	40	KHz
T <sub>1</sub> (V <sub>en</sub> )	Source Current Turn-off Delay	0.5 V <sub>en</sub> to 0.9 I <sub>L</sub> (2); (4)		3		μs
T <sub>2</sub> (V <sub>en</sub> )	Source Current Fall Time	0.9 I <sub>L</sub> to 0.1 I <sub>L</sub> (2); (4)		1		μs
T <sub>3</sub> (V <sub>en</sub> )	Source Current Turn-on Delay	0.5 V <sub>en</sub> to 0.1 I <sub>L</sub> (2); (4)		0.3		μs
T <sub>4</sub> (V <sub>en</sub> )	Source Current Rise Time	0.1 I <sub>L</sub> to 0.9 I <sub>L</sub> (2); (4)		0.4		μs
T <sub>5</sub> (V <sub>en</sub> )	Sink Current Turn-off Delay	0.5 V <sub>en</sub> to 0.9 I <sub>L</sub> (3); (4)		2.2		μs
T <sub>6</sub> (V <sub>en</sub> )	Sink Current Fall Time	0.9 I <sub>L</sub> to 0.1 I <sub>L</sub> (3); (4)		0.35		μs
T <sub>7</sub> (V <sub>en</sub> )	Sink Current Turn-on Delay	0.5 V <sub>en</sub> to 0.9 I <sub>L</sub> (3); (4)		0.25		μs
T <sub>8</sub> (V <sub>en</sub> )	Sink Current Rise Time	0.1 I <sub>L</sub> to 0.9 I <sub>L</sub> (3); (4)		0.1		μs

- 1) Sensing voltage can be -1 V for t ≤ 50 μsec; in steady state V<sub>sens</sub> min ≥ -0.5 V.
- 2) See fig. 2.
- 3) See fig. 4.
- 4) The load must be a pure resistor.

Figure 1 : Typical Saturation Voltage vs. Output Current.

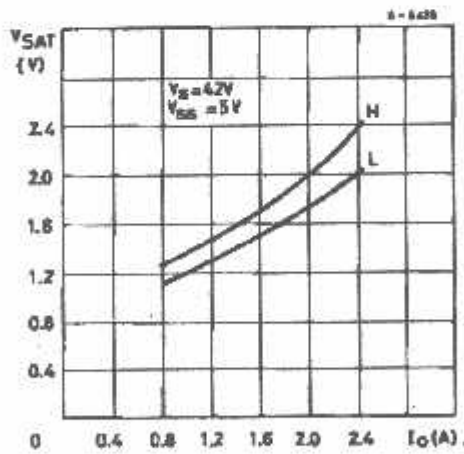
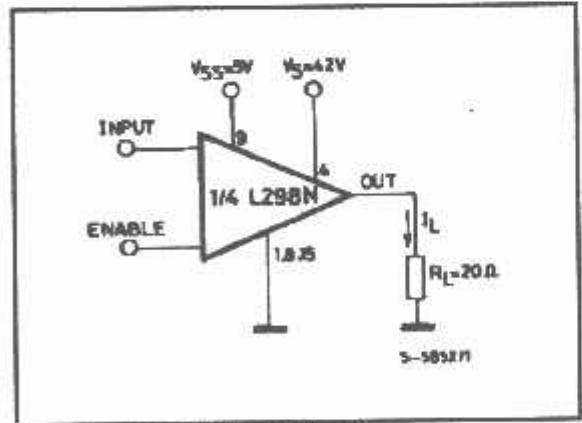


Figure 2 : Switching Times Test Circuits.



Note : For INPUT Switching, set EN = H  
For ENABLE Switching, set IN = H



Figure 3 : Source Current Delay Times vs. Input or Enable Switching.

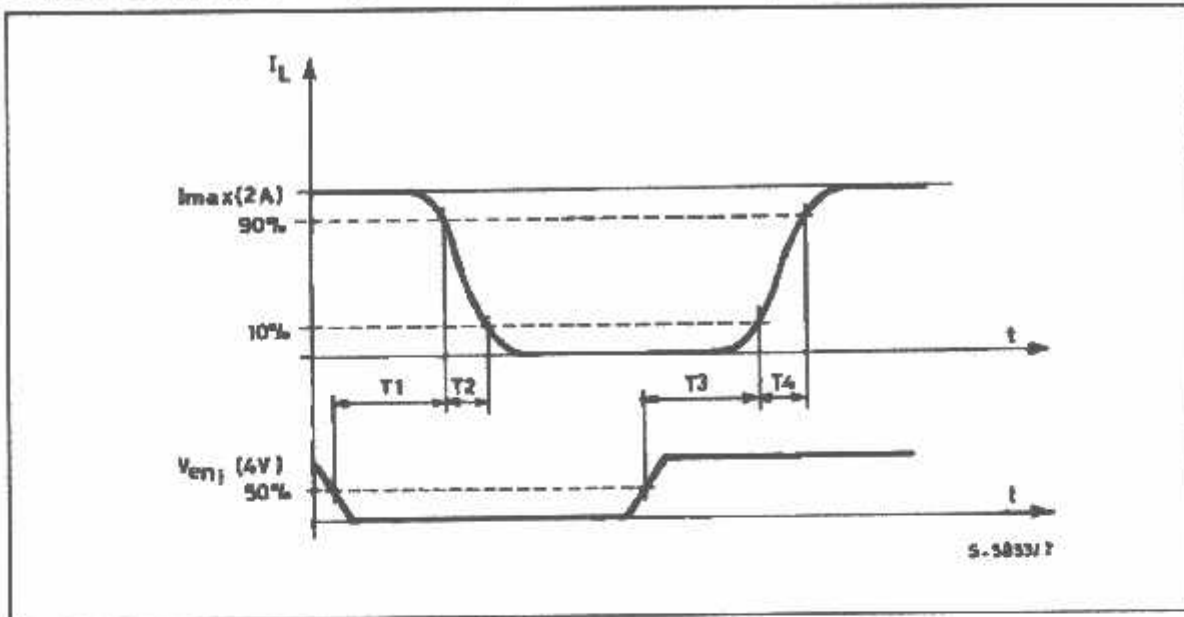
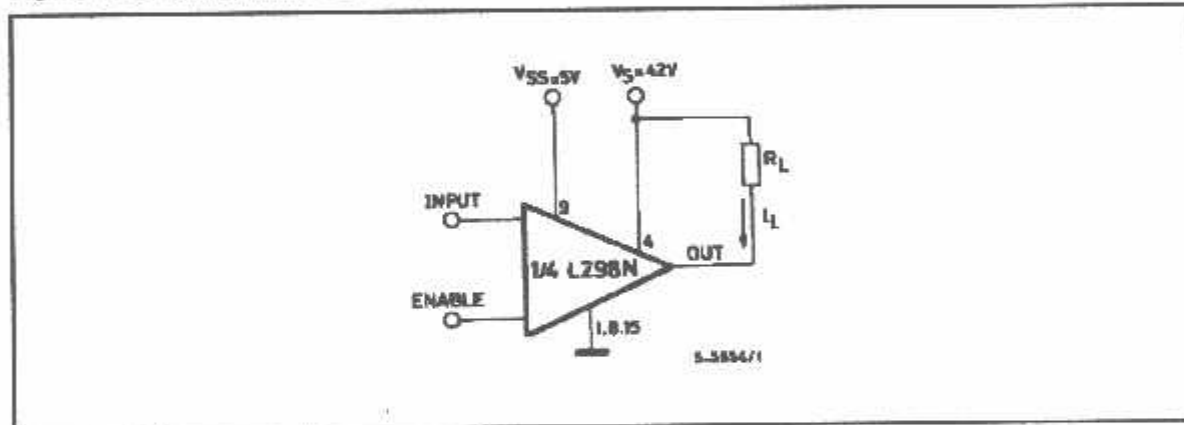


Figure 4 : Switching Times Test Circuits.



Note : For INPUT Switching, set EN = H  
For ENABLE Switching, set IN = L

Figure 5 : Sink Current Delay Times vs. Input 0 V Enable Switching.

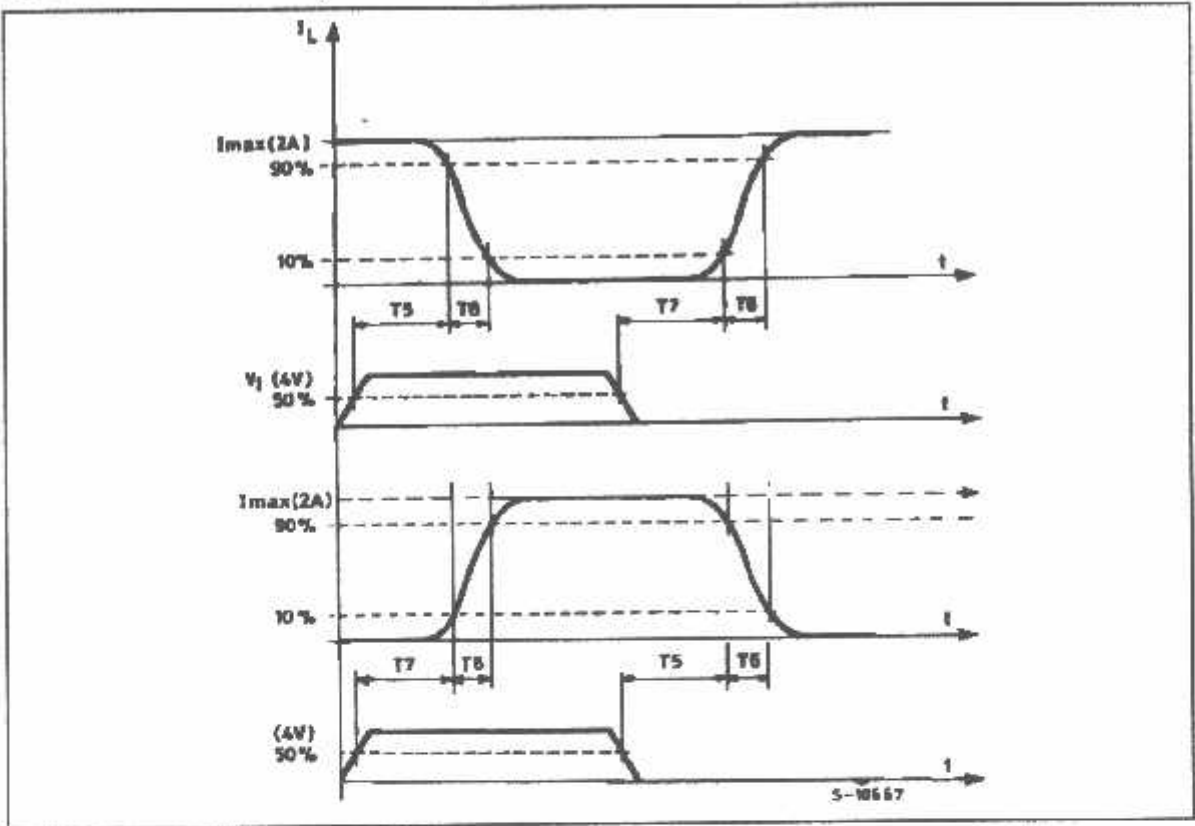
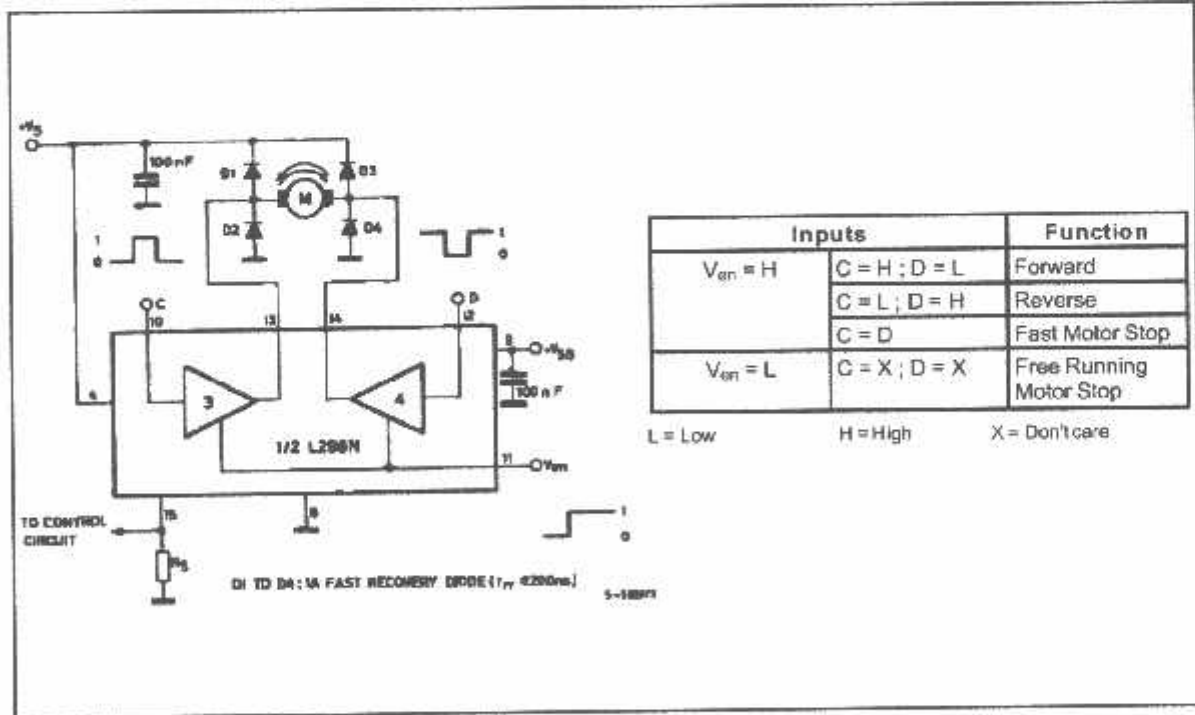
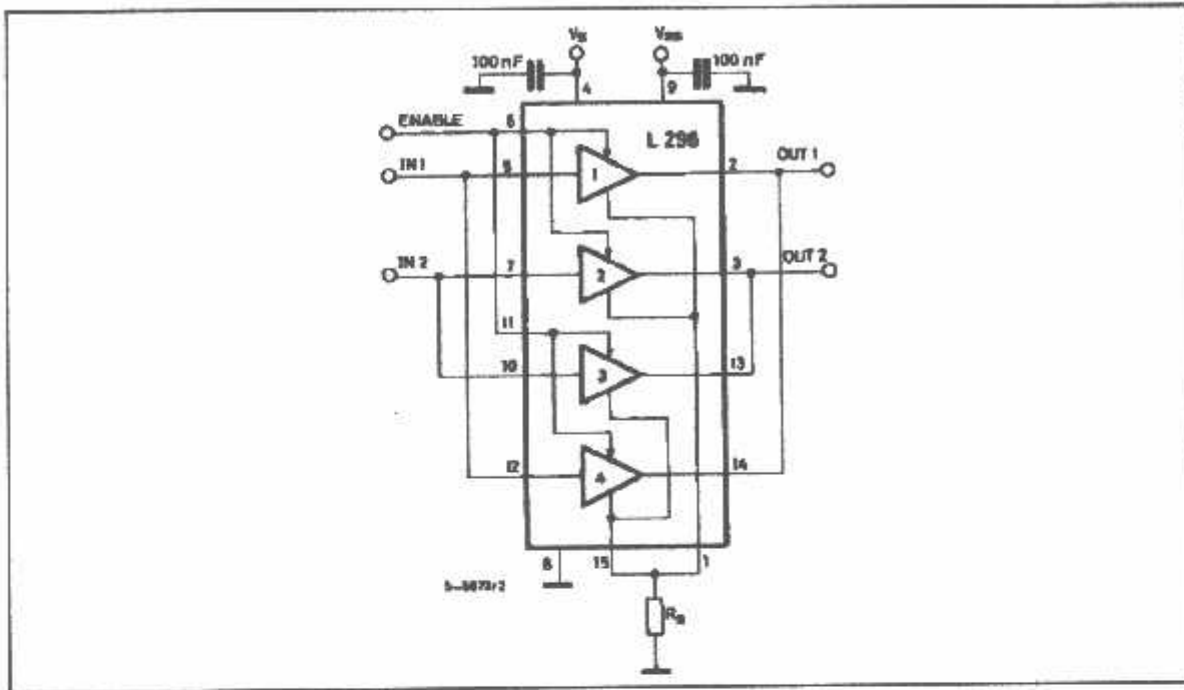


Figure 6 : Bidirectional DC Motor Control.





**Figure 7 :** For higher currents, outputs can be paralleled. Take care to parallel channel 1 with channel 4 and channel 2 with channel 3.



## APPLICATION INFORMATION (Refer to the block diagram)

### 1.1. POWER OUTPUT STAGE

The L298 integrates two power output stages (A; B). The power output stage is a bridge configuration and its outputs can drive an inductive load in common or differential mode, depending on the state of the inputs. The current that flows through the load comes out from the bridge at the sense output: an external resistor (R<sub>SA</sub> ; R<sub>SB</sub>.) allows to detect the intensity of this current.

### 1.2. INPUT STAGE

Each bridge is driven by means of four gates the input of which are In1 ; In2 ; EnA and In3 ; In4 ; EnB. The In inputs set the bridge state when The En input is high; a low state of the En input inhibits the bridge. All the inputs are TTL compatible.

## 2. SUGGESTIONS

A non inductive capacitor, usually of 100 nF, must be foreseen between both V<sub>S</sub> and V<sub>SS</sub>, to ground, as near as possible to GND pin. When the large capacitor of the power supply is too far from the IC, a second smaller one must be foreseen near the L298.

The sense resistor, not of a wire wound type, must be grounded near the negative pole of V<sub>S</sub> that must be near the GND pin of the I.C.

Each input must be connected to the source of the driving signals by means of a very short path.

Turn-On and Turn-Off: Before to Turn-ON the Supply Voltage and before to Turn it OFF, the Enable input must be driven to the Low state.

## 3. APPLICATIONS

Fig 6 shows a bidirectional DC motor control Schematic Diagram for which only one bridge is needed. The external bridge of diodes D1 to D4 is made by four fast recovery elements (t<sub>rr</sub> ≤ 200 nsec) that must be chosen of a V<sub>F</sub> as low as possible at the worst case of the load current.

The sense output voltage can be used to control the current amplitude by chopping the inputs, or to provide overcurrent protection by switching low the enable input.

The brake function (Fast motor stop) requires that the Absolute Maximum Rating of 2 Amps must never be overcome.

When the repetitive peak current needed from the load is higher than 2 Amps, a paralleled configuration can be chosen (See Fig.7).

An external bridge of diodes are required when inductive loads are driven and when the inputs of the IC are chopped; Schottky diodes would be preferred.

This solution can drive until 3 Amps in DC operation and until 3.5 Amps of a repetitive peak current.

On Fig 8 it is shown the driving of a two phase bipolar stepper motor ; the needed signals to drive the inputs of the L298 are generated, in this example, from the IC L297.

Fig 9 shows an example of P.C.B. designed for the application of Fig 8.

Figure 8 : Two Phase Bipolar Stepper Motor Circuit.

This circuit drives bipolar stepper motors with winding currents up to 2 A. The diodes are fast 2 A types.

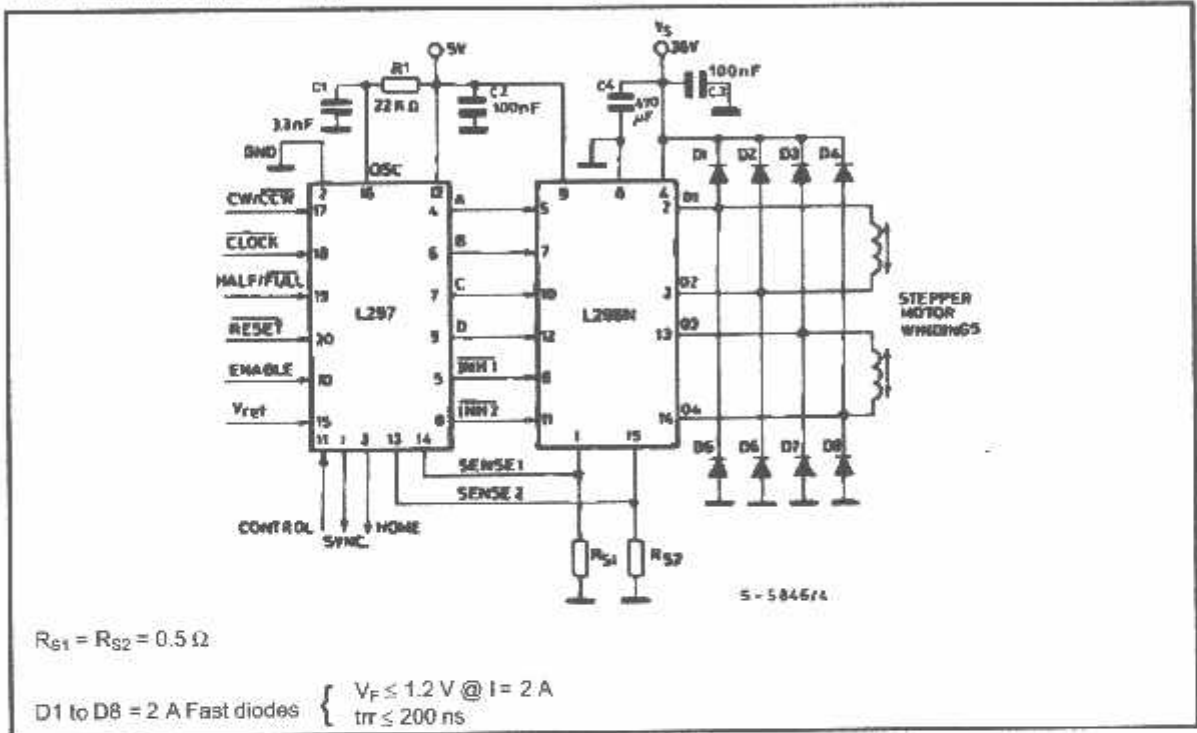


Figure 9 : Suggested Printed Circuit Board Layout for the Circuit of fig. 8 (1:1 scale).

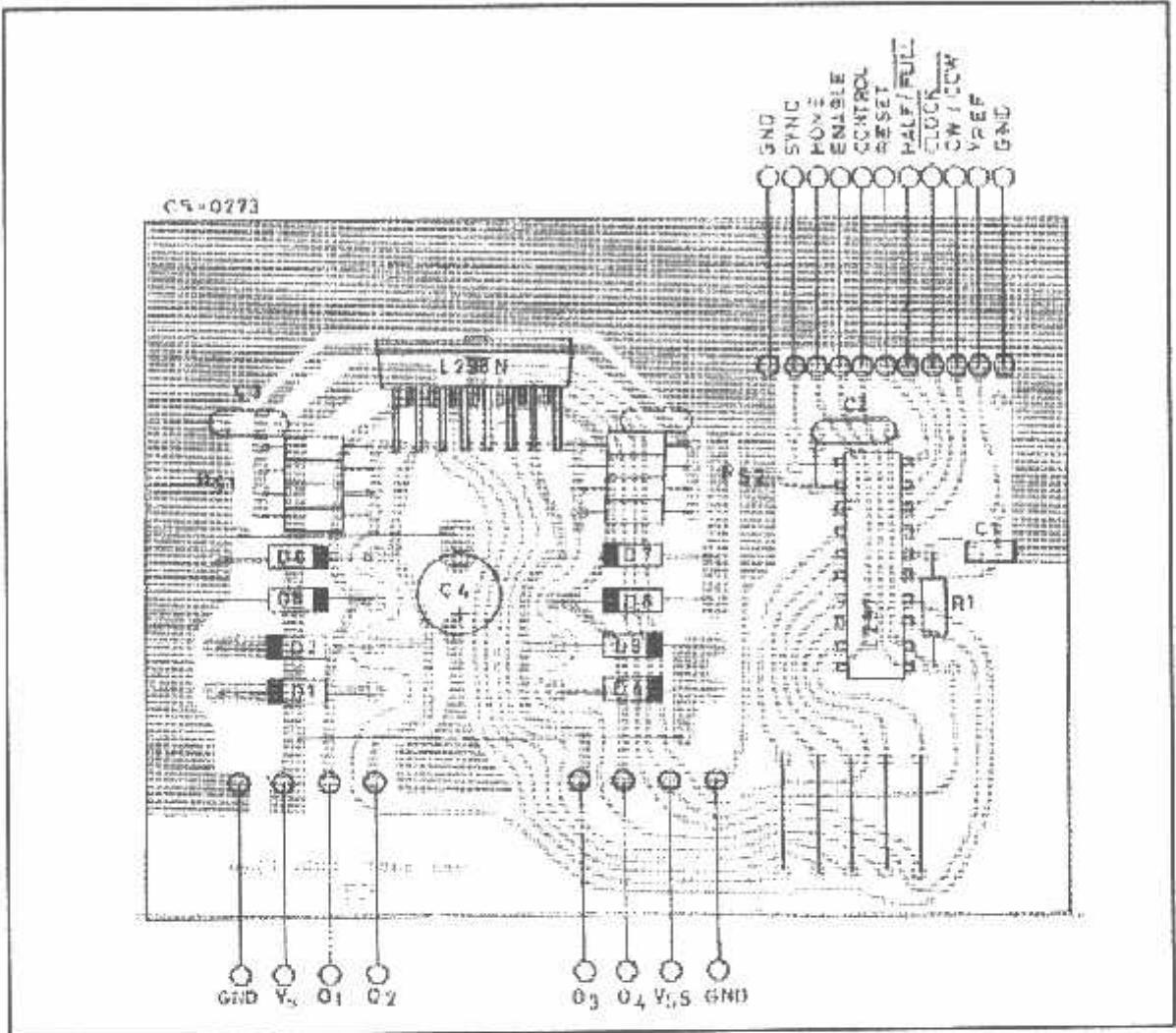
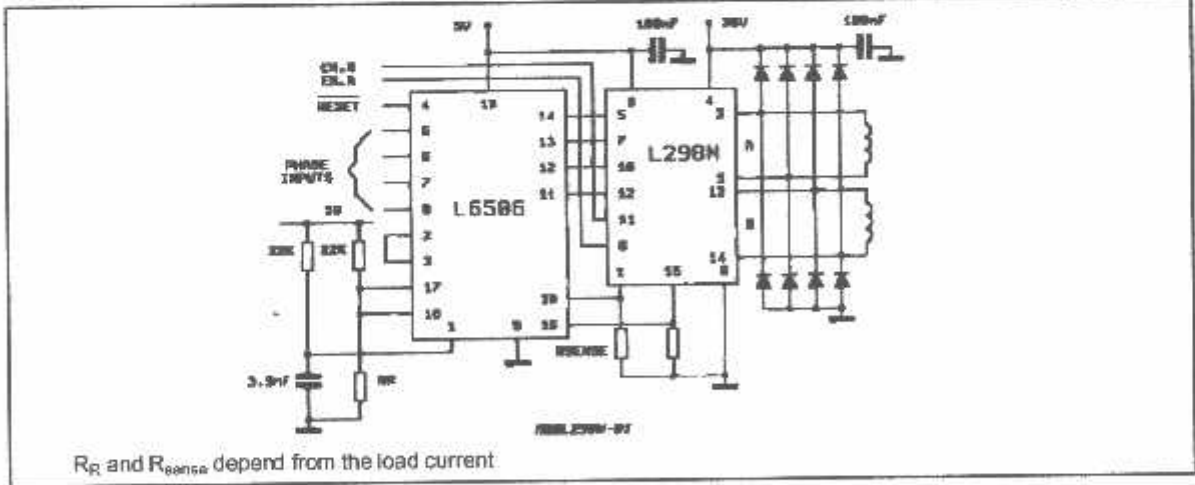
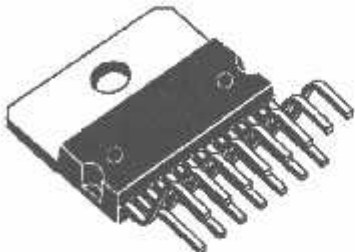


Figure 10 : Two Phase Bipolar Stepper Motor Control Circuit by Using the Current Controller L6506.

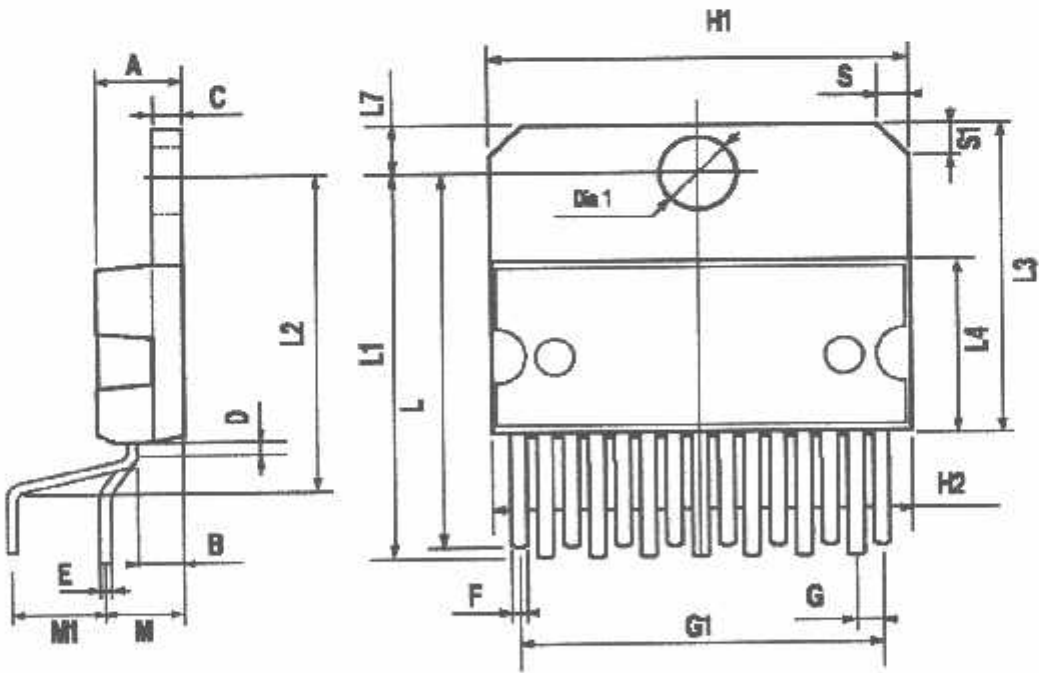


DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			5			0.197
B			2.65			0.104
C			1.8			0.063
D		1			0.039	
E	0.49		0.55	0.019		0.022
F	0.66		0.75	0.026		0.030
G	1.02	1.27	1.52	0.040	0.050	0.060
G1	17.53	17.78	18.03	0.690	0.700	0.710
H1	19.6			0.772		
H2			20.2			0.795
L	21.9	22.2	22.5	0.862	0.874	0.886
L1	21.7	22.1	22.5	0.854	0.870	0.886
L2	17.65		18.1	0.695		0.713
L3	17.25	17.5	17.75	0.679	0.689	0.699
L4	10.3	10.7	10.9	0.406	0.421	0.429
L7	2.65		2.9	0.104		0.114
M	4.25	4.55	4.85	0.167	0.179	0.191
M1	4.63	5.08	5.53	0.182	0.200	0.218
S	1.9		2.6	0.075		0.102
S1	1.9		2.6	0.075		0.102
Dia1	3.65		3.85	0.144		0.152

OUTLINE AND  
MECHANICAL DATA

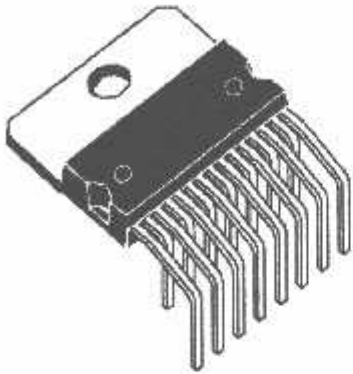


Multiwatt15 V

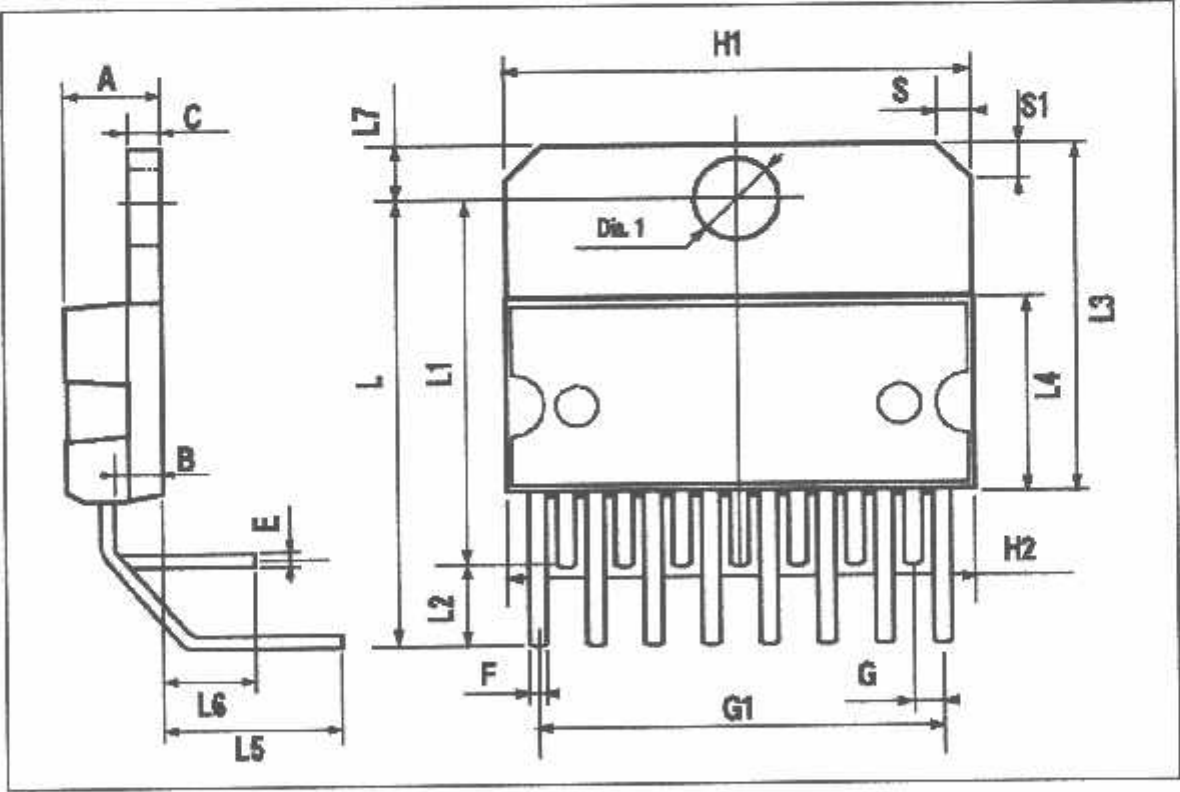


DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			5			0.197
B			2.65			0.104
C			1.6			0.063
E	0.49		0.55	0.019		0.022
F	0.66		0.75	0.026		0.030
G	1.14	1.27	1.4	0.045	0.050	0.055
G1	17.57	17.78	17.91	0.692	0.700	0.705
H1	19.6			0.772		
H2			20.2			0.795
L		20.57			0.810	
L1		18.03			0.710	
L2		2.54			0.100	
L3	17.25	17.5	17.75	0.679	0.689	0.699
L4	10.3	10.7	10.9	0.406	0.421	0.429
L5		5.28			0.208	
L6		2.38			0.094	
L7	2.65		2.9	0.104		0.114
S	1.9		2.6	0.075		0.102
S1	1.9		2.6	0.075		0.102
Dia1	3.65		3.85	0.144		0.152

OUTLINE AND  
MECHANICAL DATA



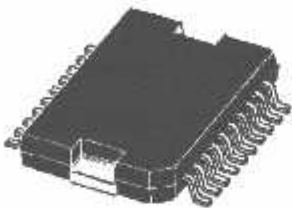
Multiwatt15 H



DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			3.6			0.142
a1	0.1		0.3	0.004		0.012
a2			3.3			0.130
a3	0		0.1	0.000		0.004
b	0.4		0.53	0.016		0.021
c	0.23		0.32	0.009		0.013
D (1)	15.8		16	0.622		0.630
D1	9.4		9.8	0.370		0.386
E	13.9		14.5	0.547		0.570
e		1.27			0.050	
e3		11.43			0.450	
E1 (1)	10.9		11.1	0.429		0.437
E2			2.9			0.114
E3	5.8		6.2	0.228		0.244
G	0		0.1	0.000		0.004
H	15.5		15.9	0.610		0.626
h			1.1			0.043
L	0.8		1.1	0.031		0.043
N	10° (max.)					
S	8° (max.)					
T		10			0.394	

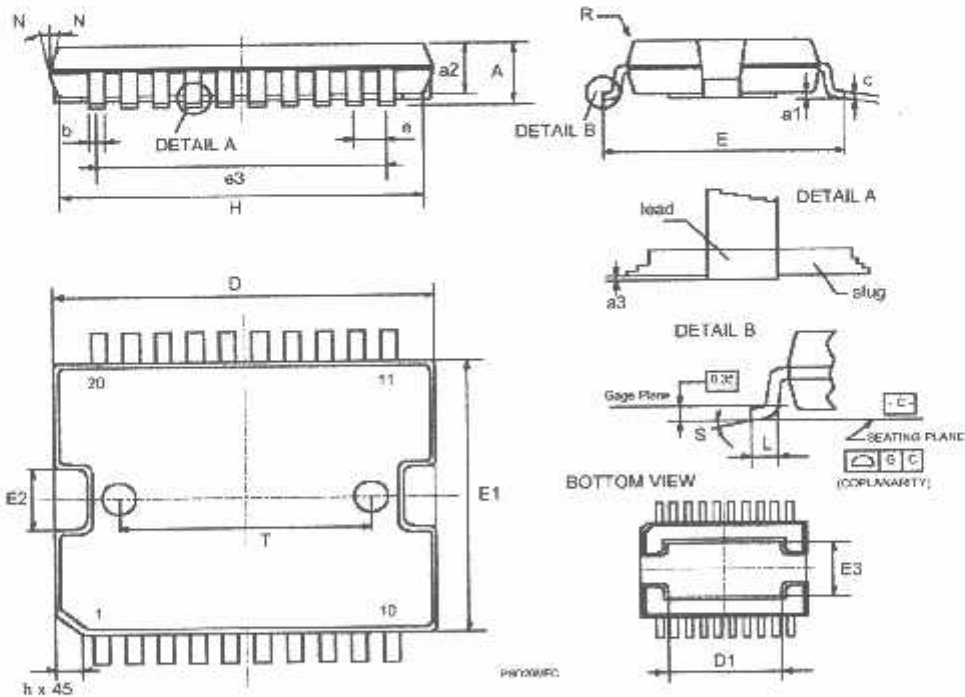
(1) "D and F" do not include mold flash or protrusions.  
- Mold flash or protrusions shall not exceed 0.15 mm (0.006").  
- Critical dimensions "E", "G" and "a3"

OUTLINE AND  
MECHANICAL DATA



JEDEC MO-166

PowerSO20



Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specification mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.

The ST logo is a registered trademark of STMicroelectronics  
© 2000 STMicroelectronics - Printed in Italy - All Rights Reserved  
STMicroelectronics GROUP OF COMPANIES

Australia - Brazil - China - Finland - France - Germany - Hong Kong - India - Italy - Japan - Malaysia - Malta - Morocco -  
Singapore - Spain - Sweden - Switzerland - United Kingdom - U.S.A.  
<http://www.st.com>

